

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-308415

(43)Date of publication of application : 17.11.1998

(51)Int.Cl.

H01L 21/60

(21)Application number : 10-046057

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.02.1998

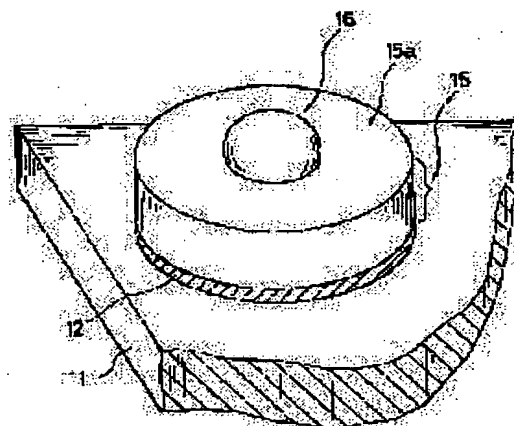
(72)Inventor : TOGASAKI TAKASHI

(30)Priority

Priority number : 09 51935 Priority date : 06.03.1997 Priority country : JP

(54) METHOD FOR MOUNTING ELECTRODE, ELECTRONIC COMPONENT, ELECTRONIC DEVICE, AND ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To easily connect a solder projection to a connection electrode on a wiring board without using flux.**SOLUTION:** The solder projection in two-stage structure consisting of a 1st projection 15 and a 2nd projection 16 is formed so that the fusion temperature of the 1st projection 15 is higher than that of the 2nd projection 16 and the surface area of the 1st projection 15 is more than double as large as that of the 2nd projection 16; and the projection is set opposite the connection electrode on the wiring board and while pressure is applied to the electronic component, heating is carried out below the fusion temperature of the 1st projection 15 and above the fusion temperature of the 2nd projection 16. At soldering temperature, only the 2nd projection 16 is fused, so the 2nd projection 16 is pressed and spread between the 1st projection 15 and the connection electrode on the wiring board and the solder surface oxide film of the 2nd projection 16 is broken to expose its internal intrinsic layer, thereby obtaining an excellent junction.**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

METHOD FOR MOUNTING ELECTRODE, ELECTRONIC COMPONENT,
ELECTRONIC DEVICE, AND ELECTRONIC COMPONENT

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect
the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the 1st conductor which has the 1st field and 2nd field and has the 1st
melting temperature -- with the 1st electrode which consists of a metal a 2nd [of said
1st electrode / said] field top -- the surface area -- about [of the area of said 2nd field]
-- the 2nd conductor which is formed so that it may become smaller than one half, and
has the 2nd melting temperature lower than the 1st melting temperature -- the
electrode characterized by providing the 2nd electrode which consists of a metal.

[Claim 2] Said 1st electrode is an electrode according to claim 1 characterized by
including at least one sort in the metal which consists of Pb, Sn, Ag, Bi, and Cu.

[Claim 3] Said 2nd electrode is an electrode according to claim 1 characterized by
including at least one sort in the metal which consists of Pb, Sn, In, and Sb.

[Claim 4] The electronic parts with which the 1st connection terminal was formed in
the 1st field, and the wiring substrate with which opposite arrangement was carried
out with the 1st field of said electronic parts, and the 2nd connection terminal was
formed in said 1st connection terminal and a corresponding location, the 1st conductor
which has the 1st melting temperature formed on the 1st [of said electronic parts]
connection terminal -- with the 1st electrode which consists of a metal The 2nd
electrode which consists of a metal is provided. the 2nd conductor which has the 2nd
melting temperature lower than the 1st melting temperature formed so that said 1st
electrode and said 2nd connection terminal might be joined -- or more [or more about 1
of the junction interface of said 1st electrode and said 2nd electrode / 2, and] about 1 of

the junction interface of said 1st connection terminal and said 2nd electrode / 2 -- said 2nd conductor -- the electronic instrument characterized by the metaled intrinsic layer being exposed.

[Claim 5] (a) the 1st conductor which has the 1st melting temperature on the 1st connection terminal formed in the 1st field of electronic parts -- from a metal -- becoming -- a point -- the 1st flat surface and abbreviation -- with the process which forms the 1st electrode which has the 2nd parallel field (b) -- the 2nd conductor which has the 2nd melting temperature lower than said 1st melting temperature on the 2nd [of said 1st electrode / said] field -- it consisting of a metal and with the process in which the surface area forms the 2nd electrode smaller than the one half of the area of said 2nd field (c) Said 1st connection terminal of said electronic parts of said 2nd field of said 1st electrode and the 1st field of a wiring substrate and the 2nd connection terminal arranged in the corresponding location so that it may counter through said 2nd electrode the process which counters the 1st field of said electronic parts, and the 1st field of said wiring substrate, and (d) -- a plane of composition with said 1st electrode and said 2nd connection terminal -- said 2nd conductor -- so that a metaled intrinsic layer may be exposed The mounting approach of the electronic parts characterized by having the process which presses said 2nd electrode while heating said the 1st electrode and said 2nd electrode at temperature [higher than said 2nd melting temperature] lower than the 1st melting temperature.

[Claim 6] The electronic instrument characterized by providing the solder bump pinched between the wiring substrate with which the 1st connection electrode which has the 1st field which has irregularity was arranged, said wiring substrate, the electronic parts with which the 2nd connection electrode was arranged in the 1st field which counters, and said 1st connection electrode and said 2nd connection electrode.

[Claim 7] Said irregularity of said 1st field of said 1st connection electrode is an electronic instrument according to claim 6 characterized by having a sharp angle.

[Claim 8] Said irregularity of said 1st field of said 1st connection electrode is an electronic instrument according to claim 6 to 7 characterized by the variation rate being larger than about 1 micrometer.

[Claim 9] Said irregularity of said 1st field of said 1st connection electrode is an electronic instrument according to claim 6 to 9 characterized by the thing of the pars basilaris ossis occipitalis of the crevice for which the oxygen uptake member is arranged in the field in part at least.

[Claim 10] Said oxygen uptake member is an electronic instrument according to claim 9 characterized by being Ti.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electrode structure which consists of conductors, such as solder. Moreover, this invention relates to the electronic parts which have the electrode of the letter of a projection which consists of conductors, such as solder, and its manufacture approach. Moreover, this invention relates to the mounting approach to the electronic instrument which mounted electronic parts on the wiring substrate with the projection electrode which consists of conductors, such as solder, and its wiring substrate.

[0002]

[Description of the Prior Art] It considers as the approach that electronic parts can be mounted on a wiring substrate at high density, without enlarging a mounting appearance also to the electronic parts which have many I/O electrodes, and the face down mounting method (flip chip mounting method) which connects electronic parts and a wiring substrate with the solder projection electrode shape[of a field]-arranged two-dimensional on electronic parts is learned. Although the face down mounting method was used for some of supercomputers or mainframe computers, it is going to be used also for public welfare devices, such as a personal computer and a pocket device, in recent years.

[0003] In face down mounting technology, after usually forming the electrode on the projection called a bump to the input/output terminal of a semiconductor chip, the process which connects this bump to the electrode on a wiring substrate is taken. Moreover, it may connect with the input/output terminal on a semiconductor device, after forming a bump in the electrode on a wiring substrate depending on the class and mounting process of a semiconductor device.

[0004] If the face down mounting method is used, since a mounting appearance becomes almost the same as the area of the chip itself and mold resin is not necessarily needed further, it is suitable for small lightweight-ization of a semiconductor package. Moreover, it forms on an electrode and there is the approach of forming solder for metals, such as gold, on an electrode using vacuum deposition or electroplating, for example, using plating and ball bonding as the formation approach of a bump with the advantage that it can mount easily even when the input/output terminal of a

semiconductor device increases. In order for especially a solder bump to do melting of the solder at the time of connection, to connect and to perform alignment of a semiconductor device in self align, the so-called self aryne effectiveness is acquired. Generally the solder bump is used for the semiconductor device which has many detailed pads by this.

[0005] In face down mounting technology, in case melting of the projection electrode is carried out and it solders with the connection terminal on a wiring substrate, the flux for raising solder wettability is used. Since the front face is covered with the oxide film, its wettability is [that solder tends to oxidize] usually bad. For this reason, in case face down mounting is carried out, a solder oxide film must be removed. As this removal approach, generally, liquid-like flux was applied to the bump part and the reduction reaction had removed the oxide film until now. In order to carry out the resin seal of corrosion prevention and the electronic-parts lower part, washing removal of the flux residue is carried out after soldering. Flux residue washing has the problem of doing the bad influence to surrounding earth environment with the rise of the cost by the increment in routing counters, such as washing and desiccation, and processing of penetrant removers, such as chlorofluocarbon, and development of the face down mounting method which does not use flux has been called for.

[0006] In soldering a solder projection electrode and a connection terminal, it prevents a terminal from the intrinsic field which is a field of the solder with which the interior of melting Handa has not oxidized, and the oxide film on the front face of solder existing between melting solder and a connection terminal, and connection contacting. Flux raises the wettability of solder and a connection terminal by removing the solder scaling film and contacting a solder genuineness side and a connection terminal. Therefore, in order to solder without using flux, it is necessary to contact the intrinsic field of melting solder, i.e., the bulk layer and connection terminal of solder, and to form an alloy layer.

[0007] On the other hand, the approach (JP,2-112250,A) of sticking by pressure by carrying out plastic deformation of the projection electrode is proposed by preparing small upheaval in a wiring substrate, and the approach (JP,63-66949,A, 63-288031) and the center of a projection electrode which are stuck by pressure, making it counter with a connection terminal, and pressurizing, impressing a supersonic wave to the semiconductor chip with which the projection electrode was formed.

[0008] However, since a supersonic wave was impressed to the whole electronic parts in a wiring substrate and the approach of sticking by pressure, impressing a supersonic wave, there was a problem that an ultrasonic vibrator with a big output is required,

and equipment became large-scale, there was a problem of leading to the increment in cost, and electronic parts might be damaged with a supersonic wave. When especially electronic parts have very detailed structure like a semiconductor device, it is easy to produce breakage with a supersonic wave.

[0009] The approach of on the other hand preparing and sticking small upheaval in the center of a projection electrode by pressure Since the welding pressure big in order to prevent crushing a projection electrode from connecting at the temperature below the melting temperature of a projection electrode is required, Since a projection electrode could not be formed on the active element part of electronic parts in order to avoid fluctuation of the problem of being easy to damage electronic parts by pressurization, and the component property by pressurization, there was a problem that the number of projection electrodes was limited and it could not respond to many pin-ization.

[0010] Moreover, the method of heating a solder bump rapidly and tearing the oxide film on the front face of solder by irradiating laser light, (for example, Proceeding of 2nd Symposium "Microjoining and Assembly Technology in Electronics (1996)" and pp45-48, are proposed.)

[0011] Moreover, by the approach of irradiating laser light, laser light cannot be addressed only to a solder bump, but there is a problem that a solder bump's circumference part is heated by laser light, and carries out heat deformation. Moreover, in order to avoid heat deformation, when the ingredient which has quantity thermal resistance is used for a wiring substrate, there is a problem that the range of the conditions which can process a substrate becomes narrow.

[0012]

[Problem(s) to be Solved by the Invention] there was a problem that there was a possibility that a supersonic wave is impressed, equipment may become large-scale by the approach of sticking by pressure with inside electronic parts and a wiring substrate, there may be a problem of leading to the increment in cost as stated above, and electronic parts may be damaged with a supersonic wave. Moreover, there was a problem of being easy to damage electronic parts in the approach of preparing and sticking small upheaval in the center of a projection electrode by pressure, and there was a problem that the number of projection electrodes was limited and it could not respond to many pin-ization. When laser light was furthermore irradiated at the projection electrode, there was a problem that the perimeter of a projection electrode deformed by laser light.

[0013] This invention is made in order to solve such a trouble. Namely, this invention aims at offering the electrode which can make reliable connection, without using flux.

Moreover, this invention aims at offering the electrode which can be connected with an external circuit, without [without it uses the flux for soldering, and] having a bad influence on electronic parts.

[0014] Moreover, this invention aims at offering electronic parts equipped with the electrode which can make reliable connection, and a wiring substrate, without using flux.

[0015] Moreover, washing of flux of this invention is unnecessary and it aims at offering a reliable electronic instrument. Moreover, this invention aims at offering the electronic instrument which joined the connection terminal of a wiring substrate, and the electrode of electronic parts, without [without it uses the flux for soldering, and] having a bad influence on electronic parts.

[0016] Moreover, this invention aims at connecting easily a solder electrode and the connection terminal on a wiring substrate, without using flux. Furthermore, this invention aims at offering the mounting approach of the electronic parts which can join the connection terminal of a wiring substrate, and the electrode of electronic parts, without [without it uses flux, and] having a bad influence on electronic parts.

[0017]

[Means for Solving the Problem] In order to solve such a technical problem, the mounting approach of the electrode of this invention, electronic parts, an electronic instrument, and electronic parts has adopted the following configurations.

[0018] the 1st conductor which the electrode of this invention has the 1st field and 2nd field, and has the 1st melting temperature -- with the 1st electrode which consists of a metal a 2nd [of said 1st electrode / said] field top -- the surface area -- about [of the area of said 2nd field] -- the 2nd conductor which is formed so that it may become smaller than one half, and has the 2nd melting temperature lower than the 1st melting temperature -- it is characterized by providing the 2nd electrode which consists of a metal. moreover, the 1st conductor which is formed in the 1st field of the connection terminal which has the 1st field, and said connection terminal, and has the 1st melting temperature -- from a metal -- becoming -- a point -- said 1st field and abbreviation -- with the 1st projection electrode which has an parallel plane of composition On the plane of composition of said 1st electrode, the surface area is formed so that about 1/of area of said plane of composition may become smaller than 2, and you may make it provide the 2nd projection electrode which consists of the 2nd conductor which has the 2nd melting temperature lower than the 1st melting temperature.

[0019] the plane of composition of said 1st electrode and said 2nd electrode -- said 1st conductor -- a metaled intrinsic layer and said 2nd conductor -- what is necessary is

just to make it have the part which the metaled intrinsic layer has joined Moreover, said 2nd field of said 1st electrode has the 1st field and the 2nd field which encloses this 1st field, and you may make it form said 2nd electrode in said 1st field. You may make it form said the 1st field and said 2nd field in the shape of a doughnut (the shape of a concentric circle).

[0020] moreover, said 1st field of said 2nd field of said 1st electrode -- said 1st conductor -- a metaled intrinsic layer and said 2nd conductor -- what is necessary is just to make it have the part which the metaled intrinsic layer has joined

[0021] Moreover, said 2nd field of said 2nd field of said 1st electrode may be covered with the oxide of the configuration metal of said 1st electrode.

[0022] Moreover, you may make it said 2nd electrode have a semi-sphere configuration. Such a semi-sphere configuration can be formed by carrying out a reflow at temperature which only the 2nd electrode fuses, after arranging the 2nd electrode on the 1st electrode. the 1st electrode and 2nd electrode are fully mutually got wet by performing momentary melting of this 2nd metal by the reducing atmosphere -- making -- low -- junction [****] can be performed.

[0023] the 1st conductor -- a metal and the 2nd conductor -- what is necessary is for a metal just to consist of metals, alloys, etc. with which the melting points differ You may make it said 1st electrode contain at least one sort in the metal which consists of Pb, Sn, Ag, Bi, and Cu. Moreover, you may make it said 2nd electrode contain at least one sort in the metal which consists of Pb, Sn, In, and Sb.

[0024] The electronic parts of this invention are the electronic parts equipped with the above electrodes on the connection electrode. the 1st conductor which the electronic parts of this invention are arranged on a connection electrode and said connection electrode, has the 1st field and 2nd field, and has the 1st melting temperature -- with the 1st electrode which consists of a metal a 2nd [of said 1st electrode / said] field top -- the surface area -- about [of the area of said 2nd field] -- the 2nd conductor which is formed so that it may become smaller than one half, and has the 2nd melting temperature lower than the 1st melting temperature -- it is characterized by providing the 2nd electrode which consists of a metal. Although a semiconductor device etc. can be raised as electronic parts, it is applicable if it is the electronic parts which have connection terminals, such as not only a semiconductor device but various active elements, a passive element, etc. Moreover, you may make it arrange the electrode of above this inventions on [instead of an electronic-parts side] a wiring substrate.

[0025] The electronic parts with which, as for the electronic instrument of this invention, the 1st connection terminal was formed in the 1st field, The wiring substrate

with which opposite arrangement was carried out with the 1st field of said electronic parts, and the 2nd connection terminal was formed in said 1st connection terminal and a corresponding location, the 1st conductor which has the 1st melting temperature formed on the 1st [of said electronic parts] connection terminal -- with the 1st electrode which consists of a metal The 2nd electrode which consists of a metal is provided. the 2nd conductor which has the 2nd melting temperature lower than the 1st melting temperature formed so that said 1st electrode and said 2nd connection terminal might be joined -- or more [or more about 1 of the junction interface of said 1st electrode and said 2nd electrode / 2, and] about 1 of the junction interface of said 1st connection terminal and said 2nd electrode / 2 -- said 2nd conductor -- it is characterized by the metaled intrinsic layer being exposed. Moreover, the electronic parts with which, as for the electronic instrument of this invention, the 1st connection terminal was formed in the 1st field, The wiring substrate with which the 1st field of said electronic parts and predetermined spacing were held, opposite arrangement was carried out, and the 2nd connection terminal was formed in said 1st connection terminal and a corresponding location, The 1st electrode which has the 1st melting temperature formed on the 1st [of said electronic parts] connection terminal, The 2nd conductor layer which has the 2nd melting temperature lower than the 1st melting temperature formed so that said 1st electrode and said 2nd connection terminal might be joined is provided. You may make it expose the intrinsic field of said 2nd conductor layer to or more [or more about 1 of the plane of composition of said 1st electrode and said 2nd conductor layer / 2, and] about 1 of the plane of composition of said 1st connection terminal and said 2nd conductor layer / 2.

[0026] That is, the electronic instrument of this invention arranges electronic parts, such as a semiconductor device, on a wiring substrate, using the electrode of above this inventions. The wiring substrate also contains the wiring substrate of a multi chip module, and the wiring substrate of CSP of the almost same size as a semiconductor device here, without restricting to the large-sized thing called the so-called mother board.

[0027] moreover, the 2nd field where the junction interface of said 1st electrode and said 2nd electrode encloses the 1st field and this 1st field -- having -- said 2nd field -- said 1st conductor -- it may be covered with the metaled oxide.

[0028] moreover, the 2nd field where the junction interface of said 1st electrode and said 2nd electrode encloses the 1st field and this 1st field -- having -- said 1st field -- said 1st conductor -- a metaled intrinsic layer and said 2nd conductor -- what is necessary is just to make it a metaled intrinsic layer join moreover -- the junction

interface of said 2nd electrode and said 1st connection terminal -- said 2nd conductor -- a metal and said 2nd conductor -- you may make it the metaled oxide distributed in the shape of a mosaic Distribution of the shape of such a mosaic is formed in case the 1st electrode and the 1st connection terminal of electronic parts are joined at temperature which the 2nd electrode fuses. With the electrode structure of this invention, since the surface area of the 2nd electrode is smaller than the one half of the area of the 2nd field of the 1st electrode, it can surely join the intrinsic layer of the configuration metal of the 2nd electrode, and the 1st connection electrode of electronic parts at the time of junction.

[0029] As mentioned above, you may make it said 1st electrode contain at least one sort in the metal which consists of Pb, Sn, Ag, Bi, and Cu. Moreover, you may make it said 2nd electrode contain at least one sort in the metal which consists of Pb, Sn, In, and Sb.

[0030] The mounting approach of the electronic parts of this invention is the approach of connecting the electrode of electronic parts, and the electrode of a wiring substrate using the electrode of above this inventions. The mounting approach of the electronic parts of this invention namely, on the 1st connection terminal formed in the 1st field of (a) electronic parts the 1st conductor which has the 1st melting temperature -- from a metal -- becoming -- a point -- the 1st flat surface and abbreviation -- with the process which forms the 1st electrode which has the 2nd parallel field (b) -- the 2nd conductor which has the 2nd melting temperature lower than said 1st melting temperature on the 2nd [of said 1st electrode / said] field -- it consisting of a metal and with the process in which the surface area forms the 2nd electrode smaller than the one half of the area of said 2nd field (c) Said 1st connection terminal of said electronic parts of said 2nd field of said 1st electrode and the 1st field of a wiring substrate and the 2nd connection terminal arranged in the corresponding location so that it may counter through said 2nd electrode the process which counters the 1st field of said electronic parts, and the 1st field of said wiring substrate, and (d) -- a plane of composition with said 1st electrode and said 2nd connection terminal -- said 2nd conductor -- so that a metaled intrinsic layer may be exposed It is characterized by having the process which presses said 2nd electrode, heating said the 1st electrode and said 2nd electrode at temperature [higher than said 2nd melting temperature] lower than the 1st melting temperature.

[0031] moreover -- from the 1st conductor which has the 1st melting temperature on the 1st connection terminal with which the mounting approach of the electronic parts of this invention was formed in the 1st field of electronic parts -- becoming -- a point -- the 1st flat surface and abbreviation -- with the process which forms the 1st electrode

which has an parallel plane of composition The process at which it consists of the 2nd conductor which has the 2nd melting temperature lower than said 1st melting temperature, and the surface area forms the 2nd electrode smaller than the one half of the area of said plane of composition on the plane of composition of said 1st electrode, So that the 1st electrode of said electronic parts of the 1st field of a wiring substrate, the process which forms the 2nd connection terminal in a corresponding location, the plane of composition of said 1st electrode, and said 2nd connection terminal may counter through said 2nd electrode So that the 1st field of said electronic parts and the 1st field of said wiring substrate may be arranged and the intrinsic side of said 2nd electrode may be exposed to a plane of composition with said 1st electrode and said 2nd connection terminal You may make it have the process which pressurizes the 2nd field of said electronic parts, heating said the 1st electrode and said 2nd electrode at temperature [higher than said 2nd melting temperature] lower than the 1st melting temperature.

[0032] moreover, between the process of (c), and the processes of (d) -- the melting temperature of said 1st electrode -- low -- temperature higher than the melting temperature of said 2nd electrode -- said 2nd conductor -- you may make it have further the reflow process which carries out a reflow of the metal Moreover, it may be made to perform said reflow process by the reducing atmosphere. the 2nd metal fuses by the reducing atmosphere temporarily, and is fully mutually damp in the 1st electrode and 2nd electrode with such a reflow -- making -- low -- junction [****] can be formed.

[0033] There are various electronic parts as an object which forms the electrode of this invention. You may make it form in functional components, such as a semiconductor device and a surface acoustic element, and various passive elements as electronic parts. You may make it use the electrode of this invention for a wiring substrate, and a multi chip module and CSP (Chip Size Package) furthermore. That is, the electrode of this invention consists of the 1st electrode joined to connection terminals, such as electronic parts, and the 2nd electrode formed on the 1st electrode, and its melting temperature of the 1st electrode is higher than the melting temperature of the 2nd electrode, and the surface areas of the plane of composition of the 1st electrode are or less about 1 of the surface area of the 2nd electrode / 2.

[0034] Moreover, the electronic instrument of this invention mounts electronic parts on a wiring substrate using the electrode of this invention.

[0035] moreover, the approach the mounting approach of the electronic parts of this invention mounts electronic parts on a wiring substrate with the electrode of this

invention -- such -- **.

[0036] That is, as two-step structure which consists of the 1st electrode and 2nd electrode, the melting temperature of this invention of the 1st electrode is higher than the melting temperature of the 2nd electrode, and it constitutes electrodes, such as a solder bump who forms in electronic parts, so that the surface area of the plane of composition (the 2nd field) of the 1st electrode may become twice [more than] the surface area of the 2nd electrode. When it mounts the electronic parts which have such electrode structure for example, on a wiring substrate, by carrying out opposite arrangement of the 1st electrode and the connection pad of a wiring substrate through the 2nd electrode, and carrying out melting of the 2nd electrode at temperature lower than the melting temperature of the 1st electrode, the 2nd electrode is deformed plastically, breaking a surface oxide skin, and joins the 1st electrode and connection pad. At this time, the intrinsic field of the 2nd conductor layer which constitutes the 2nd electrode is fully exposed to a plane of composition with the 1st electrode, and a plane of composition with a connection pad by setting the surface area of the 2nd electrode below to one half of the area of the plane of composition of the 1st electrode. Therefore, the path which an electron can move is formed between the 1st electrode and a connection pad, without being interrupted by the oxide skin of the 2nd electrode.

[0037] That is, in this invention, at the temperature to which melting of the 2nd electrode is carried out, since the 1st electrode is not fused but is fusing only the 2nd electrode, it applies slight welding pressure to electronic parts. It takes, and it can extend in this form inserted into the connection pad on the 1st electrode and a wiring substrate, the scaling film of the 2nd electrode is torn, and an intrinsic side exposes the electrode of **** 2 from the interior. Since the surface area of the 1st electrode is twice [more than] the surface area of the 2nd electrode, the 2nd electrode can fully be extended, the surface area of the intrinsic field to expose turns into 50% or more of the area of the plane of composition of the 1st electrode, and even if it does not use flux, sufficient junction can be acquired by securing touch area sufficient between the connection pads on a wiring substrate.

[0038] Since it not being necessary to impress a supersonic wave and welding pressure are still smaller according to this invention, it is also possible for electronic parts not to be damaged and to form a projection electrode on the active element part of electronic parts. moreover, junction of soldering etc. -- it is in process, and since the 1st electrode is not fused, the 1st electrode comrade which the 1st electrode crushes and adjoins does not short-circuit it electrically When many terminals need to be connected like especially a semiconductor device, productivity improves greatly by preventing such an

electric short circuit.

[0039] the 1st conductor which constitutes the 1st electrode -- the 2nd conductor with which a metal constitutes the 2nd electrode -- melting temperature should be just higher than a metal. For example, since the melting temperature is about 314 degrees C, you may make it the conductor which has temperature lower than this, for example, a Pb:Sn ratio, form the 2nd electrode by the weight ratio with the solder alloy (melting temperature: about 189 degrees C) of 40:60, when a Pb:Sn ratio forms the 1st electrode with the solder alloy of 95:5 by the weight ratio. You may make it use the alloy which does not contain lead as the 1st conductor which constitutes the 1st electrode and 2nd electrode, and the 2nd conductor, and may make it use a low melting point metal like In alone.

[0040] Moreover, the electronic instrument of this invention is characterized by providing the solder bump pinched between the wiring substrate with which the 1st connection electrode which has the 1st field which has irregularity was arranged, a wiring substrate, the electronic parts with which the 2nd connection electrode was arranged in the 1st field which counters, and said 1st connection electrode and said 2nd connection electrode. Moreover, for example, a wiring substrate and the 1st connection electrode formed on this wiring substrate, The bump electrode which consists of solder formed on this 1st connection electrode, and the semiconductor device connected to this bump electrode through the 2nd electrode are provided. You may make it a variation rate form two or more irregularity of 1 microns or more in the field which is in contact with said bump electrode of one [at least] electrode among said 1st electrode and 2nd electrode.

[0041] As for said irregularity of said 1st field of said 1st connection electrode, it is desirable to make it have a sharp angle (edge). With such an edge, the oxidizing zone of a solder bump's front face is broken, and reliable connection can be formed between the intrinsic layers of bulk. For example, such an electronic instrument is formed as follows. A solder bump is pressed against the electrode which has two or more irregularity, applying a weak load to the semiconductor device which formed the solder bump first. At this time, therefore, a solder bump deforms and the oxide skin of that front face is beaten by the corner of the shape of toothing of the 1st connection electrode. A reflow of the solder is carried out in this condition, and it connects with the 1st connection electrode. Electronic parts can be mounted without using flux also by adopting such a configuration.

[0042] Moreover, it is suitable for said irregularity of said 1st field of said 1st connection electrode to make it the variation rate become larger than about 1

micrometer. This is because the oxidizing zone of a solder bump's front face may not fully be torn, when a concavo-convex level difference is smaller than about 1 micrometer. further -- said irregularity of said 1st field of said 1st connection electrode -- the pars basilaris ossis occipitalis of the crevice -- you may make it arrange an oxygen uptake member in a field in part at least By arranging such an oxygen uptake member, the oxygen of a solder bump's oxide skin can be absorbed and an oxide skin can be removed effectively.

[0043] You may make it use the metal which absorbs oxygen, such as Ti, as an oxygen uptake member. Gettering of the oxygen in the scaling film of solder can be carried out to Ti by Ti, it can join together, and an oxide skin can be removed effectively. Furthermore, if it is made to carry out etching processing of the front face of Ti layer by the plasma of Ar etc., oxygen absorbing power can be improved further. Therefore, the connection dependability of a connection electrode and a solder bump can be improved.

[0044]

[Embodiment of the Invention]

(Operation gestalt 1) Drawing 1 and drawing 2 are the perspective views showing the electrode of this invention roughly. Drawing 2 (a) shows the cross-section structure of this electrode roughly, and shows the 1st configuration of the 1st field of a projection typically by drawing 2 (b). Here, the example which formed the electrode as an example on the semiconductor chip which mainly consists of silicon was shown.

[0045] the projection (the 1st electrode) 15 of 7s **** 1 is formed for Pb:Sn from the 1st 95wt%:5wt% solder alloy on the solder diffusion prevention electrode (1st connection terminal) 12 formed on the terminal of a semiconductor chip 11. Plane-of-composition (2nd field) 15a of the 1st projection 15 has the 15m of the 1st field and the 15n of the 2nd field of a perimeter of a core as illustrated to drawing 2 (b). And 40wt%:60wt% of projection (the 2nd electrode) 16 of the 2nd is formed in the 15m of the 1st field of the 1st projection 15 for Pb:Sn. Therefore, the melting temperature of the melting temperature of the 1st projection is about 314 degrees C, and the melting temperature of the 2nd projection is about 189 degrees C. moreover, a diameter is [the height of the 1st projection 15] about 60 micrometers in about 100 micrometers -- it is cylindrical and a diameter is [about 40 micrometers - about 43 micrometers and the height of the 2nd projection 16] about 22 micrometers - about 25 micrometers -- it is hemispherical.

[0046] furthermore, the area of the plane of composition of the head of the 1st projection -- about 7700 -- micrometer² from -- about 8000 -- micrometer² it is -- the surface area of the 2nd projection electrode -- about 3100 -- micrometer² from -- about 3500 -- micrometer² it is . Although the 2nd field which is the front face which the 2nd

projection 16 exposed is covered by the oxide skin, intrinsic layers have joined the 1st projection 154 and the projection 16 of the 2nd, without minding an oxidizing zone in the 1st field.

[0047] The chip size of a semiconductor device is 4.1mm of about 4.3mmx abbreviation, it meets on all sides and 64 projections are formed in the single tier in the pitch of about 250 micrometers.

[0048] Moreover, as for the solder diffusion prevention electrode 12, the laminating of titanium / nickel / the gold is carried out one by one by 0.10 micrometers in thickness, 1.00 micrometers / 0.10 micrometers.

[0049] The electrode of this invention which has such structure by joining to the electrode (for example, connection electrode of a wiring substrate) of a connection place at temperature which only the 2nd projection 16 fuses, without the 1st projection 15 fusing It can extend in the form inserted between the 1st projection 15 and the electrode of a connection place, the scaling film of the 2nd projection 16 is only beaten by applying slight welding pressure to semiconductor chip 11 tooth back (the 2nd field), and an intrinsic layer exposes the 2nd projection 16 from the interior by it. With the electrode structure of this invention, since the surface area of the 1st projection 15 is twice [more than] the surface area of the 2nd projection 16, it can fully extend, the surface area of the intrinsic layer to expose turns into 50% or more of the area of the plane of composition of the 1st projection 15, and the 2nd projection 16 can secure touch area sufficient between the electrodes to connect. therefore -- even if it does not use flux -- enough -- low -- reliable junction [****] can be acquired. Moreover, since it is not necessary to impress a supersonic wave etc. to a semiconductor device, there is also no possibility that a semiconductor device may be damaged and productivity can be improved.

[0050] (Operation gestalt 2) Next, the example of the approach of forming the electrode of this invention on electronic parts is explained. Drawing 3 is drawing for explaining the manufacture approach of the electrode of this invention. Here, as illustrated to drawing 1 , it explains taking the case of the case where the electrode of this invention is formed on a semiconductor chip 11.

[0051] On the semiconductor chip 11 which consists of silicon which formed the solder diffusion prevention electrode 12 in one principal plane, the 1st resist 13 which has opening 21 is formed (drawing 3 (a)). The opening 21 of the 1st resist 13 is formed on the connecting terminal which a semiconductor chip 11 has. Moreover, as for the solder diffusion prevention electrode 12, the laminating of titanium / nickel / the gold is carried out one by one by 0.10 micrometers in thickness, 1.00 micrometers / 0.10

micrometers. the 1st resist 13 -- a positive type photosensitivity resist -- exposure / development process -- forming -- resist thickness -- about 60 micrometers and opening 21 -- the diameter of about 100 micrometers -- it is cylindrical.

[0052] Next, the 1st projection 15 with a height of about 60 micrometers which consists of tin/lead (5% / 95% weight ratio) is formed by energizing the solder diffusion prevention electrode 1 as cathode in the electrolytic plating bath containing tin ion and lead ion (drawing 3 (b)).

[0053] Subsequently, the process which forms in the 1st projection 15 bottom the 2nd resist 14 which has opening 22 is shown (drawing 3 (c)). the 2nd resist 14 -- the same ingredient as the 1st resist 13 -- using -- **** -- thickness -- about 20 micrometers and opening 22 -- the diameter of 40 micrometers -- it is cylindrical.

[0054] And the 2nd projection 16 with a height of 20 micrometers which consists of tin/lead (60% / 40% weight ratio) by energizing the solder diffusion prevention electrode 12 as cathode in the electrolytic plating bath containing tin ion and lead ion is formed (drawing 3 (d)).

[0055] Then, the resist 13 and the 2nd resist 14 of **** 1 are exfoliated, and etching removal of the solder diffusion prevention electrode 12 is carried out using an etching reagent by using the 1st projection 15 as a mask (drawing 3 (e)).

[0056] Furthermore, a reflow only of the 2nd projection is carried out at the temperature below the melting temperature of the 1st projection 15, and more than the melting temperature of the 2nd projection 16 (drawing 3 (f)). Reflow temperature is 220 degrees C to 240 degrees C, and a reflow ambient atmosphere is reducing atmosphere which the mixing ratio of 100% of hydrogen, hydrogen, and nitrogen becomes from 1:4. At this temperature, since the reduction reaction of hydrogen is slow, while the scaling film of the 1st projection 15 is not returned completely and the interface of the 1st projection 15 and the 2nd projection 16 fully gets wet, the 2nd projection 16 does not get wet with the whole head of the 1st projection 15 (refer to drawing 2 (b)).

[0057] The electrode of this invention can be formed according to such a process.

[0058] (Operation gestalt 3) Another example of the approach of forming the electrode of this invention on electronic parts is explained. Drawing 4 is drawing for explaining another example of the manufacture approach of the electrode of this invention. Here, as illustrated to drawing 1 and drawing 2 , it explains taking the case of the case where the electrode of this invention is formed on a semiconductor chip 11.

[0059] Drawing 4 (a) shows the process which the 1st projection 15 formed on the semiconductor chip 11 which consists of silicon, and the 2nd projection 16 formed on

the substrate 25 for an imprint which has a mold-release characteristic are made to counter, and carries out alignment. The 1st projection 15 consists of tin/lead (5% / 95% weight ratio), and a diameter forms 100-micrometer height using plating through the solder diffusion 60-micrometer prevention electrode 12 with which it is cylindrical with solder and the laminating of titanium / nickel / the gold (0.10 micrometers / 1.00 micrometers / 0.10 micrometers) was carried out one by one like the operation gestalt 2. The substrate 25 for an imprint used here consists of quartz glass, and is covered with the electrode 26 for plating energization with which the laminating of titanium / copper / titanium / the indium stannic acid ghost was carried out one by one in the front face by 0.10 micrometers in thickness, 1.00 micrometers / 0.10 micrometers / 0.10 micrometers. moreover, diameter height of 20 micrometers of 40 micrometers which the 2nd projection 16 becomes from tin/lead (60% / 40% weight ratio) -- it is cylindrical and is formed using plating like the operation gestalt 2.

[0060] And opposite arrangement of the 1st the projection 15 and the projection 16 of the 2nd which were formed in this way is carried out, and it joins by heating and pressurization (drawing 4 (b)). Welding pressure is [about 3 gf(s) - 10gf extent, and the temperature of junction conditions] about 140 degrees C - about 170 degrees C per projection. By leaving a semiconductor chip 11 about 4 minutes from about 30 seconds in the argon plasma just before the alignment process of drawing 4 (a), by removing the oxide film of the front face of the 1st projection 15, a junction condition becomes fitness more and productivity also improves at this time.

[0061] Subsequently, the 2nd projection 16 is imprinted on the 1st projection 15 by removing the substrate 25 for an imprint (drawing 4 (c)). Since the indium stannic acid ghost of the front face of the electrode 26 for plating energization on the substrate 25 for **** does not alloy with the solder which constitutes the 2nd projection 16, the 2nd projection 16 can be made to exfoliate easily and the high imprint yield is obtained.

[0062] Then, a reflow only of the 2nd projection 16 is alternatively carried out at the temperature below the melting temperature of the 1st projection 15, and more than the melting temperature of the 2nd projection 16 (drawing 4 (d)). The conditions of a reflow used the same conditions as the operation gestalt 2.

[0063] (Operation gestalt 4) Below, how to mount electronic parts on a substrate is explained using the electrode of this invention formed on electronic parts, such as a semiconductor chip, as mentioned above. Drawing 5 is drawing for explaining signs that the electronic parts in which the electrode of this invention was formed are mounted by soldering on a wiring substrate. Here, the electrode of this invention which has the 1st projection 15 which was mentioned above on the connecting terminal of this

semiconductor chip 11, and the 2nd projection 16 is formed using the semiconductor chip 11 of a bare chip condition as electronic parts, and the example which mounts this semiconductor chip 11 on the wiring substrate 28 in which the connection electrode 29 was formed is explained.

[0064] Alignment of the semiconductor chip 11 in which the solder diffusion prevention electrode 12, the 1st projection 15, and the 2nd projection 16 which were mentioned above on the connection terminal of a semiconductor chip 11 were formed, and the wiring substrate 28 in which the connection electrode 29 was formed is carried out using the heating head 31 so that the 2nd projection 16 and connection electrode 29 may counter (drawing 5 (a)). A semiconductor chip 11 mainly consists of silicon, a dimension is 4.3mmx4.1mm and 64 projections are formed in the single tier in the pitch of about 250 micrometers along with the neighborhood. the front face of the 2nd projection 16 -- mainly -- SnO₂ from -- it is covered with the becoming solder oxide film. Although the wiring substrate 28 consists of glass epoxy, you may make it use BT resin polyphenyl ethylene alumina, aluminum nitride, etc. as an insulating layer. Moreover, as for the connection electrode 29, the laminating of copper / nickel / the gold is carried out.

[0065] Drawing 5 (b) shows signs that the 1st projection 15 and the connection electrode 29 on a wiring substrate are joined by the 2nd projection 16, by heating a semiconductor chip 11 and the wiring substrate 28 using a heating head, pressurizing by the force of 2gf extent from about 1 gf per projection. By heating so that the temperature of the 2nd projection 16 perimeter may become 220 to 240 degrees C, the 1st projection 15 is not fused but only the 2nd projection 16 fuses it. Therefore, only the 2nd projection 16 deforms by the very feeble force of 2gf extent from about 1 gf, and the intrinsic layer 16a connection electrode 29 of the melting solder which is the 2nd conductor with which internal melting solder (intrinsic layer of a bulk layer) breaks solder oxide-film 16b of the 2nd projection 16, and constitutes outflow and the 2nd projection 16 contacts and alloys. Therefore, the connection electrode 29 on the wiring substrate 18 and the 1st projection 15 join by the 2nd conductor layer 32 which constitutes the 2nd projection 16.

[0066] Drawing 5 (c) shows the electronic instrument which removed the heating head and ended the connection process. It is soldered by the above process, without the connection electrode 29 on a semiconductor chip 11 and the wiring substrate 28 using flux. According to such connection, oxide skin 16b does not exist in the part which was the junction interface of the 2nd projection 16 and the 1st projection 15 among the junction interfaces of the 2nd conductor layer 32 and the 1st projection 15. Moreover,

many fields which are not covered with the junction interface of the 2nd conductor layer 32 and the connection electrode 29 at oxide skin 16b by making surface area of the 2nd projection 16 smaller than the area of a plane of composition can be formed. Drawing 6 is drawing showing typically the junction interface of the 1st projection 15 and 2nd conductor layer 32, and drawing 7 is drawing showing typically the junction interface of the 2nd conductor layer 32 and the connection electrode 29. By setting the surface area of the 2nd projection 16 like this invention below to abbreviation one half of the area of the plane of composition of the 1st projection 15, it becomes small rather than the area of the plane of composition which the 2nd projection 16 should join about the area of oxide skin 16b formed in the front face of the 2nd projection 16. Therefore, the moving trucking of a good electron is securable between the 1st projection 15 and connection electrode 29. Therefore, while connection dependability improves, productivity can also improve.

[0067] In addition, the dependability of connection and productivity can be further improved by forming minute irregularity in the front face of the connection electrode 19 of the wiring substrate 28. Drawing 8 is drawing for explaining another example which mounts the electronic parts in which the electrode of this invention was formed, by soldering on a wiring substrate. Here, connection electrode 29b which has minute irregularity on a front face is arranged on the wiring substrate 28. Here, the level difference formed the irregularity which is about 5 micrometers. Moreover, irregularity was formed so that it might have a sharp edge.

[0068] And alignment of the semiconductor chip 11 in which the solder diffusion prevention electrode 12, the 1st projection 15, and the 2nd projection 16 which were mentioned above on the connection terminal of a semiconductor chip 11 were formed, and the wiring substrate 28 in which connection electrode 29b was formed is carried out using the heating head 31 so that the 2nd projection 16 and connection electrode 29b may counter. As drawing 5 (a) - drawing 5 (c) explained after this, melting of the 2nd projection 16 is carried out, and the 1st projection 15 and connection electrode 29b are connected.

[0069] If such connection electrode 29b is used, oxidizing-zone 16b of the front face of the 2nd projection 16 can be broken with a concavo-convex edge. For this reason, the intrinsic layers of the 1st projection 15 and connection electrode 29b can join more effectively. Furthermore, since the area of the plane of composition of connection electrode 29b increases with irregularity, the rate which intrinsic layer 16a of the 2nd projection 16 exposes to connection electrode 29b becomes large. Therefore, reliable connection can be made more by low resistance.

[0070] (Operation gestalt 5) Junction is made, when the 2nd projection 16 fuses and an internal intrinsic layer contacts the connection electrode 29 in this way. Since the touch area of the intrinsic layer of a conductor and the connection electrode 29 with which the area of the solder oxide film of the 2nd projection 16 front face constitutes the 2nd projection 16, so that it is small compared with the area of the plane of composition of the head of the 1st projection 15 becomes large, the soldering yield improves, so that the surface area of the 2nd projection 16 is small.

[0071] In order to check this, the result of having conducted the experiment for evaluating the relation between the surface area of the 2nd projection 16 and the junction yield is explained below.

[0072] Drawing 9 is drawing for explaining the electrode sample which the rate of the surface area of the plane of composition of the point of the 1st projection and the surface area of the 2nd projection was changed, and formed it. As shown in drawing 9, the rate of the surface area of the plane of composition of the point of the 1st projection 15 and the surface area of the 2nd projection was changed, and the electrode sample for evaluation was created. In addition, area S1 of the plane of composition of the 1st projection 15 It is the area of the 1st whole field 15a surface of the 1st projection 15.

[0073] With the electrode of drawing 9 (a), it is the area S1 of the plane of composition of the 1st projection 15. Surface area S2 of the 2nd projection 16 They are 0.90 times. With the electrode of drawing 9 (b), it is the area S1 of the plane of composition of the 1st projection 15. Surface area S2 of the 2nd projection 16 It is 1.4 times and is the area S1 of the plane of composition of the 1st projection 15 with the electrode (drawing 9 (c)) of this invention. Surface area S2 of the 2nd projection 16 They are 2.6 times.

[0074] And it connected on the wiring substrate using the same connection method as the operation gestalt 4, and the soldering reinforcement and the soldering percent defective of an electrode sample were compared. When the strength test of a soldering part is performed, and the connection is alloying completely, fracture is generated inside a solder layer. The result is shown in Table 1. Moreover, drawing 10 is a graph which shows the result.

[0075]

[Table 1]

It turns out that connection resilience becomes large, so that Table 1 and drawing 10 may show and the surface area of the 2nd projection 16 is small, and a soldering percent defective decreases. Moreover, when the area of the plane of composition of the head of the 1st projection 15 increases 2.6 times of the surface area of the 2nd

projection 16, what a soldering percent defective is lost for (0%) is understood.

[0076] (Operation gestalt 6) Drawing 11 is drawing showing roughly the structure of the electrode with which the electronic instrument concerning this invention is equipped, and drawing 12 is drawing showing the example of the cross-section structure roughly. The electrode 102 which has two or more irregularity is formed on the wiring substrate 101. The wiring substrate 101 can use a flexible substrate for the wiring substrate which used prepreg for the insulating layer, the ceramic substrate which used the ceramic for the insulating layer, and a pan. Although copper is common as an ingredient of an electrode 102, the structure which multilayered nickel metallurgy or them is sufficient. Moreover, if there are about 1 micrometers or more of the depth of concavo-convex crevice 103a (level difference of crevice 103a and heights 103b), it can fully break oxide-film 106b of the solder bump's 106 front face, and can expose intrinsic layer 106a.

[0077] Drawing 13 is drawing showing roughly the example of the electrode structure of the electronic instrument of this invention. Here, the solder bump 106 formed on the connection terminal 108 of a semiconductor device 105 is connected with the electrode 102 on the wiring substrate 101.

[0078] If the solder bump 106 and an electrode 102 are countered (refer to drawing 9) and a load is applied between the solder bump 106 and an electrode 102, the part of edge 103e of the irregularity enclosed and shown by 107 in drawing will eat into a solder bump, and oxide skin 106b of the solder bump's 106 front face will be torn. Since the yield stress of a solder ingredient is smaller than copper, this interlocking deformation is started. For example, yield stress can make the eutectic solder of a Pb-Sn system also transform a figure single [about] easily small rather than copper.

[0079] By carrying out a reflow of the solder bump 106 after this, an electrode 102 and the solder bump 106 can be joined more firmly.

[0080] Drawing 14 is drawing showing roughly another example of the structure of the electrode with which the electronic instrument of this invention is equipped, and is the example which formed the Ti film 104 in the pars basilaris ossis occipitalis of crevice 103a of an electrode 102. The same sign is given to the same section.

[0081] It is easy to combine Ti ingredient with oxygen, the oxygen of oxide-film 106b of the solder bump 106 who made it deform by load is absorbed, and the effectiveness of reducing oxide-film 106b which remains in a plane of composition is acquired. Improvement in productivity and dependability can be aimed at by arranging such an oxygen absorbent.

[0082] (Operation gestalt 7) Next, the example of the approach of forming irregularity

in this electrode 102 is explained.

[0083] First, patterning of the copper foil beforehand pasted up on the wiring substrate 101 is carried out to the dimension of the electrode 102 in which face down mounting is possible with a photolithography technique. What is necessary is just made to perform this patterning to patterning and coincidence of a wiring layer. Next, it leaves a resist pattern to a part to form a resist on this electrode 102 by which patterning was carried out, and form heights in by exposure and development.

[0084] Next, crevice 103a is formed by etching by using this resist as a mask. At this time, crevice 103a, heights 103b, and level difference ** can be freely set up by managing an etching rate.

[0085] In addition, what is necessary is to form the Ti film 104 according to vacuum membrane formation processes, such as a sputter, all over the electrode 102 top with which irregularity was formed, to carry out patterning by the photolithography, and just to leave Ti thin film to a crevice base, when forming oxygen uptake layers, such as the Ti film 104, in the pars basilaris ossis occipitalis of crevice 103a. Moreover, you may make it remove the Ti film 104 on heights 103b by the lift-off method.

[0086] Moreover, there is the approach of listing to below as the concavo-convex formation approach. The inorganic substrates 101, such as a ceramic, are first prepared as a wiring substrate, and a resist is formed so that the field which forms an electrode 102 on this substrate 101 may carry out opening. Next, the electrode 102 of request thickness is formed by electroplating. Next, a resist is formed so that the part in which the heights on an electrode 102 are formed may carry out opening. Furthermore, the heights of desired height are formed by electroplating. The electrode 102 in which two or more irregularity was formed also by such approach can be formed.

[0087] (Operation gestalt 8) Artificers measured whether oxide-film 106b was fully broken and it joined good, when the depth (concavo-convex variation rate) of crevice 103a of an electrode 102 was set to 0.1 micrometers, 0.5 micrometers, 1.0 micrometers, 5.0 micrometers, and 10.0 micrometers. The experimental result is shown in Table 2.

[0088] In the experiment, the 150micrometerx150micrometer electrode 102 was formed by etching the copper foil on the wiring substrate 101 (35 micrometers in thickness), and irregularity was formed in the front face of an electrode 102 by the photolithography method after that. Patterning was carried out so that heights 103b and crevice 103a might be set to 50micrometerx50micrometer at this time. On the connection terminal 108 of a semiconductor device 105, the solder bump 106 was created with plating.

[0089] And after applying the load to 10g per piece to the solder bump 106 and carrying

out temporary attachment at about 120 degrees C, a reflow was carried out at about 250 degrees C. Here, the eutectic solder of a Pb-Sn system was used as a solder ingredient.

[0090]

[0090]

[Table 2]

And whether it exfoliated with the share circuit tester which measures peel strength, and the part of solder bump 106 throat cut the semiconductor device 5 mounted in the wiring substrate 101 as mentioned above estimated bonding strength. The mode considered as success (O) is destroyed by the solder bump 106. What was destroyed by the interface of the solder bump 106 and an electrode 102 was taken as rejection (x). An oxide film is not fully torn but what was destroyed by the interface of the solder bump 106 and an electrode 102 has low connection resilience. Moreover, the obtained bonding strength was 50g or more per bump in the mode which passed, and was 5g or less in rejection mode.

[0091] This experimental result shows that there should just be about 1 micrometers or more of the depth of a crevice.

[0092] In addition, although this operation gestalt explained the example which formed irregularity in the electrode 102 by the side of the wiring substrate 101, it may be made to mount by forming irregularity in the electrode 108 by the side of a semiconductor device 105, and forming the solder bump 106 on the electrode 102 of the wiring substrate 101.

[0093] Reliable face down mounting can be performed without using the chlorofluocarbon for flux washing which has great effect on an environment by preparing two or more irregularity with a sharp edge in the front face of a connection electrode, as explained above. Moreover, in order not to use flux, a washing process becomes unnecessary, and productivity improves. Furthermore, since this approach only forms irregularity on the surface of an electrode, it becomes unnecessary [the laser or ultrasonic impression equipment for oxide-film removal like before].

[0094]

[Effect of the Invention] According to this invention, as explained above, since the area of the plane of composition of the 1st projection is twice [more than] the surface area of the 2nd projection, the 2nd projection is fully extensible at the time of junction, the surface area of the intrinsic layer to expose turns into 50% or more of the area of the plane of composition of the 1st projection, and touch area sufficient between the

electrodes to connect can be secured. Therefore, sufficient junction can be acquired even if it does not use flux. By joining without using flux, the washing process of flux becomes unnecessary and productivity improves sharply. Since it furthermore is not the washing waste fluid of flux, either, processing cost of washing waste fluid is made to zero, and worries about the environmental pollution by washing waste fluid can also be lost. Moreover, since it is not necessary to impress a supersonic wave etc. to electronic parts, such as a semiconductor chip, there is also no possibility of damaging the electronic parts to mount, and productivity can be improved.

[0095] According to the mounting approach of this invention, and the electronic instrument of this invention, many fields which an oxide skin does not exist in the part which was the junction interface of the 2nd projection and the 1st projection among the junction interfaces of the 2nd conductor layer and the 1st projection, and are not covered with the junction interface of the 2nd conductor layer and a connection electrode at an oxide skin can be formed. Therefore, while the moving trucking of a good electron can be secured between the 1st projection and connection electrode and connection dependability improves, productivity can also improve.

[0096] Moreover, in the electronic instrument of this invention, by preparing two or more irregularity with a sharp edge in the front face of a connection electrode, reliable face down mounting can be performed without using the chlorofluocarbon for flux washing which has great effect on an environment. Moreover, in order not to use flux, a washing process becomes unnecessary, and productivity improves. Furthermore, since this approach only forms irregularity on the surface of an electrode, it becomes unnecessary [the laser or ultrasonic impression equipment for oxide-film removal like before].

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the electrode of this invention roughly.

[Drawing 2] Drawing showing the electrode of this invention roughly.

[Drawing 3] Drawing for explaining how to manufacture the electrode of this invention.

[Drawing 4] Drawing for explaining the option which manufactures the electrode of this invention.

[Drawing 5] Drawing for explaining signs that the electronic parts in which the electrode of this invention was formed are mounted by soldering on a wiring substrate.

[Drawing 6] Drawing showing typically the junction interface of the 1st projection and 2nd conductor layer.

[Drawing 7] Drawing showing typically the junction interface of the 2nd conductor layer and a connection electrode.

[Drawing 8] Drawing for explaining signs that the electronic parts in which the electrode of this invention was formed are mounted by soldering on a wiring substrate.

[Drawing 9] Drawing showing the electrode sample which the rate of the surface area of the plane of composition of the point of the 1st projection and the surface area of the 2nd projection was changed, and formed it.

[Drawing 10] The graph which shows the relation between the ratio of the area of the plane of composition of the 1st projection, and the surface area of the 2nd projection, and the soldering reinforcement of an electrode sample and a soldering percent defective.

[Drawing 11] Drawing showing roughly the structure of the electrode with which the electronic instrument of this invention is equipped.

[Drawing 12] Drawing showing the cross-section structure of the electrode of drawing 12 roughly.

[Drawing 13] Drawing showing roughly the example of the electrode structure of the electronic instrument of this invention.

[Drawing 14] Drawing showing roughly another example of the structure of the electrode with which the electronic instrument of this invention is equipped.

[Description of Notations]

- 11 Electronic parts (semiconductor chip)
- 12 Solder diffusion prevention electrode
- 13 The 1st resist
- 14 The 2nd resist
- 15 1st projection (the 1st electrode)
- 15a Plane of composition (the 1st field)
- 16 2nd projection (the 2nd electrode)
- 16a Intrinsic layer
- 16b Oxide film
- 21 Opening
- 22 Opening
- 25 Substrate for an imprint
- 26 Electrode for plating energization
- 27 Electronic parts (semiconductor chip)

28 Wiring substrate
29 Electrode for connection
31 Heating head
32 The 2nd conductor layer
101 Wiring substrate
102 Electrode
103a Crevice
103b Heights
103e Edge
104 Ti film
105 Semiconductor device
106 Solder bump
106a Intrinsic layer
106b Oxidizing zone
108 Connection terminal

Abstract:

PROBLEM TO BE SOLVED: To easily connect a solder projection to a connection electrode on a wiring board without using flux.

SOLUTION: The solder projection in two-stage structure consisting of a 1st projection 15 and a 2nd projection 16 is formed so that the fusion temperature of the 1st projection 15 is higher than that of the 2nd projection 16 and the surface area of the 1st projection 15 is more than double as large as that of the 2nd projection 16; and the projection is set opposite the connection electrode on the wiring board and while pressure is applied to the electronic component, heating is carried out below the fusion temperature of the 1st projection 15 and above the fusion temperature of the 2nd projection 16. At soldering temperature, only the 2nd projection 16 is fused, so the 2nd projection 16 is pressed and spread between the 1st projection 15 and the connection electrode on the wiring board and the solder surface oxide film of the 2nd projection 16 is broken to expose its internal intrinsic layer, thereby obtaining an excellent junction.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-308415

(43) 公開日 平成10年(1998)11月17日

(51) Int.Cl.⁹

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 S

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平10-46057

(22) 出願日 平成10年(1998) 2月26日

(31) 優先権主張番号 特願平9-51935

(32) 優先日 平 9 (1997) 3 月 6 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 梶 隆

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

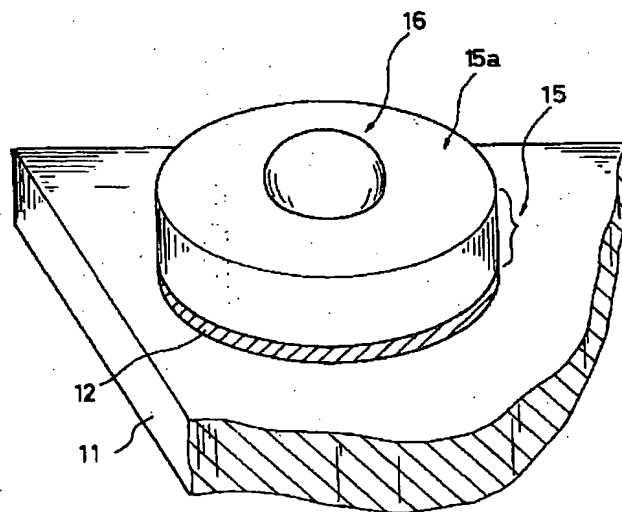
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 電極、電子部品、電子装置および電子部品の実装方法

(57) 【要約】

【課題】 半田突起と配線基板上の接続電極とをフラックスを用いずに容易に接続する。

【解決手段】 第1の突起15と第2の突起16とからなる2段構造の半田突起を、第1の突起15の熔融温度が第2の突起16の熔融温度より高く、かつ第1の突起15の表面積が第2の突起16の表面積の2倍以上として形成して、配線基板上の接続用電極と突起を対向させ、電子部品に加圧を加えながら、第1の突起15の熔融温度以下かつ第2の突起16の熔融温度以上の温度に加熱する。半田付け温度では第2の突起16のみ溶融していることから、僅かな加圧力で、第2の突起16は第1の突起15と配線基板上の接続電極に挟まれる形で押し広げられ、第2の突起16の半田表面酸化膜が破れて内部から真性層が露出して良好な接合が得られる。



【特許請求の範囲】

【請求項1】 第1の面と第2の面とを有し、第1の熔融温度を有する第1の導体金属からなる第1の電極と、前記第1の電極の前記第2の面上に、その表面積が前記第2の面の面積の約 $1/2$ より小さくなるように形成され、第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなる第2の電極とを具備したことを特徴とする電極。

【請求項2】 前記第1の電極はPb、Sn、Ag、Bi、Cuからなる金属のうち少なくとも1種を含むことを特徴とする請求項1に記載の電極。

【請求項3】 前記第2の電極はPb、Sn、In、Sbからなる金属のうち少なくとも1種を含むことを特徴とする請求項1に記載の電極。

【請求項4】 第1の面に第1の接続端子が形成された電子部品と、

前記電子部品の第1の面と対向配置され、前記第1の接続端子と対応する位置に第2の接続端子が形成された配線基板と、

前記電子部品の第1の接続端子上に形成された第1の熔融温度を有する第1の導体金属からなる第1の電極と、前記第1の電極と前記第2の接続端子とを接合するように形成された第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなる第2の電極とを具備し、

前記第1の電極と前記第2の電極との接合界面の約 $1/2$ 以上および前記第1の接続端子と前記第2の電極の接合界面の約 $1/2$ 以上には、前記第2の導体金属の真性層が露出していることを特徴とする電子装置。

【請求項5】 (a) 電子部品の第1の面に形成された第1の接続端子上に、第1の熔融温度を有する第1の導体金属からなり、先端部が第1の平面と略平行な第2の面を有する第1の電極を形成する工程と、

(b) 前記第1の電極の前記第2の面上に、前記第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなり、その表面積が前記第2の面の面積の半分よりも小さい第2の電極を形成する工程と、

(c) 前記第1の電極の前記第2の面と、配線基板の第1の面の前記電子部品の前記第1の接続端子と対応する位置に配設された第2の接続端子とが、前記第2の電極を介して対向するように、前記電子部品の第1の面と前記配線基板の第1の面とを対向する工程と、

(d) 前記第1の電極および前記第2の接続端子との接合面に前記第2の導体金属の真性層が露出するように、前記第2の熔融温度よりも高く第1の熔融温度よりも低い温度で前記第1の電極および前記第2の電極を加熱しながら前記第2の電極を押圧する工程とを有することを特徴とする電子部品の実装方法。

【請求項6】 凹凸を有する第1の面を有する第1の接続電極が配設された配線基板と、

前記配線基板と対向する第1の面に第2の接続電極が配設された電子部品と、

前記第1の接続電極と前記第2の接続電極との間に挟持された半田バンプとを具備したことを特徴とする電子装置。

【請求項7】 前記第1の接続電極の前記第1の面の前記凹凸は、鋭利な角を有することを特徴とする請求項6に記載の電子装置。

【請求項8】 前記第1の接続電極の前記第1の面の前記凹凸は、その変位が約 $1\mu\text{m}$ より大きいことを特徴とする請求項6乃至請求項7のいずれかに記載の電子装置。

【請求項9】 前記第1の接続電極の前記第1の面の前記凹凸は、その凹部の底部の少なくとも一部領域に酸素吸収部材が配設されていることを特徴とする請求項6乃至9に記載の電子装置。

【請求項10】 前記酸素吸収部材はTiであることを特徴とする請求項9に記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半田などの導体からなる電極構造に関する。また本発明は半田などの導体からなる突起状の電極を有する電子部品およびその製造方法に関する。また本発明は半田などの導体からなる突起電極により配線基板上に電子部品を実装した電子装置およびその配線基板への実装方法に関する。

【0002】

【従来の技術】 多数の入出力電極を有する電子部品に対しても実装外形を大型化することなしに配線基板上に高密度に電子部品を実装可能な方法として、電子部品上に2次元的に面状配置された半田突起電極によって電子部品と配線基板とを接続するフェースダウン実装方式（フリップチップ実装方式）が知られている。フェースダウン実装法は、スーパーコンピュータや大型汎用コンピュータの一部に使用されていたが、近年パーソナルコンピュータや携帯機器等の民生機器にも使用されようとしている。

【0003】 フェースダウン実装技術では、通常、半導体チップの入出力端子にバンプと呼ばれる突起上の電極を形成した後、このバンプを配線基板上の電極に接続する工程をとる。また半導体素子の種類や実装プロセスによっては、配線基板上の電極にバンプを形成した後、半導体素子上の入出力端子に接続する場合もある。

【0004】 フェースダウン実装法を用いれば、実装外形はチップ自体の面積とほぼ同じになり、さらにモールド樹脂を必ずしも必要としないため、半導体パッケージの小型軽量化に適している。また半導体素子の入出力端子が多くなった場合でも容易に実装できるといった利点があるバンプの形成方法としては、例えば金などの金属を例えばめっきやボールボンディングを用いて電極上に

形成したり、また例えば半田を真空蒸着や電気めっきを用いて電極上に形成する方法がある。特にはんだバンプは、接続時に半田を熔融させて接続するために、半導体素子の位置合わせを自己整合的に行われるため、いわゆるセルフアライン効果が得られる。これによって多数の微細パッドを持つ半導体素子には一般的に半田バンプが使用されている。

【0005】フェースダウン実装技術では、突起電極を熔融させて配線基板上の接続端子と半田付けする際に、半田濡れ性を向上させるためのフラックスが用いられる。半田は酸化しやすく通常その表面は酸化膜に覆われているため、ぬれ性が悪い。このため、フェースダウン実装する際には半田酸化膜を除去しなければならない。この除去方法として、これまで一般的に、液体状のフラックスをバンプ部分に塗布し、酸化膜を還元反応により除去していた。フラックス残渣は、腐食防止および電子部品下部を樹脂封止するために、半田付け後に洗浄除去される。フラックス残渣洗浄は、洗浄や乾燥といった工程数の増加によるコストの上昇と、フロンなどの洗浄液の処理に伴い周囲の地球環境への悪影響を及ぼすという問題があり、フラックスを用いないフェースダウン実装方式の開発が求められてきた。

【0006】半田突起電極と接続端子を半田付けする場合には、半田表面の酸化膜が熔融半田と接続端子の間に存在して、熔融半田内部の酸化されていない半田の面である真性面と接続端子とが接触するのを妨げる。フラックスは半田表面酸化膜を除去して半田真性面と接続端子とを接触させることにより半田と接続端子との濡れ性を向上させるものである。したがって、フラックスを用いることなく半田付けを行うためには、熔融半田の真性面すなわち半田のバルク層と接続端子とを接触させて合金層を形成する必要がある。

【0007】これに対して突起電極が形成された半導体チップに超音波を印加しながら配線基板と圧着する方法（特開昭63-66949、63-288031）や突起電極中央に小さな隆起を設けて接続端子と対向させて加圧することにより突起電極を塑性変形させることにより圧着する方法（特開平2-112250）が提案されている。

【0008】ところが、超音波を印加しながら配線基板と圧着する方法においては、電子部品全体に超音波が印加されるため、出力の大きな超音波振動子が必要であり、装置が大がかりとなり、ひいてはコストの増加につながるという問題があり、また超音波により電子部品が破損することがあるという問題があった。とくに電子部品が半導体素子のように極めて微細な構造を有する場合には超音波により破損が生じやすい。

【0009】一方、突起電極中央に小さな隆起を設けて圧着する方法は、突起電極が潰れることを防ぐために、突起電極の熔融温度以下の温度で接続することから大き

な加圧力が必要であるため、加圧によって電子部品が破損しやすいという問題と、加圧による素子特性の変動を避けるために電子部品の能動素子部分上に突起電極を形成することが出来ないことから、突起電極数が限定されて多ピン化に対応できないという問題があった。

【0010】また、レーザー光を照射することにより半田バンプを急激に加熱して半田表面の酸化膜を破る方法（例えばProceeding of 2nd Symposium "Microjoining and Assembly Technology in Electronics (1996)", pp45-48, が提案されている。

【0011】またレーザー光を照射する方法では、半田バンプのみにレーザー光をあてることができず、半田バンプの周辺部分がレーザー光により加熱されて熱変形するという問題がある。また熱変形を避けるため高耐熱性を有する材料を配線基板に使うと、基板の加工可能な条件の範囲が狭くなるという問題がある。

【0012】

【発明が解決しようとする課題】以上に述べたように、超音波を印加しなから電子部品と配線基板と圧着する方法では、装置が大がかりとなりコストの増加につながるという問題があり、また超音波により電子部品が破損する恐れがあるという問題があった。また、突起電極中央に小さな隆起を設けて圧着する方法には、電子部品が破損しやすいという問題があり、また突起電極の数が限定されて多ピン化に対応できないという問題があった。さらに突起電極にレーザー光を照射すると、突起電極の周囲がレーザー光により変形するという問題があった。

【0013】本発明は、このような問題点を解決するためになされたものである。すなわち本発明は、フラックスを用いることなく、信頼性の高い接続を行うことができる電極を提供することを目的とする。また本発明は、半田付け用フラックスを用いることなく、かつ電子部品に悪影響を与えることなく外部回路と接続できるような電極を提供することを目的とする。

【0014】また本発明は、フラックスを用いることなく信頼性の高い接続を行うことができる電極を備えた電子部品、配線基板を提供することを目的とする。

【0015】また本発明は、フラックスの洗浄が不要で、信頼性の高い電子装置を提供することを目的とする。また本発明は、半田付け用フラックスを用いることなく、かつ電子部品に悪影響を与えることなく、配線基板の接続端子と電子部品の電極とを接合した電子装置を提供することを目的とする。

【0016】また本発明は、半田電極と配線基板上の接続端子とをフラックスを用いることなく容易に接続することを目的とする。さらに本発明は、フラックスを用いることなく、かつ電子部品に悪影響を与えることなく、配線基板の接続端子と電子部品の電極とを接合すること

ができる電子部品の実装方法を提供することを目的とする。

【0017】

【課題を解決するための手段】このような課題を解決するため、本発明の電極、電子部品、電子装置および電子部品の実装方法は以下のような構成を採用している。

【0018】本発明の電極は、第1の面と第2の面とを有し、第1の熔融温度を有する第1の導体金属からなる第1の電極と、前記第1の電極の前記第2の面上に、その表面積が前記第2の面の面積の約 $1/2$ より小さくなるように形成され、第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなる第2の電極とを具備したことを特徴とする。また、第1の面を有する接続端子と、前記接続端子の第1の面に形成され、第1の熔融温度を有する第1の導体金属からなり、先端部に前記第1の面と略平行な接合面を有する第1の突起電極と、前記第1の電極の接合面上に、その表面積が前記接合面の面積の約 $1/2$ より小さくなるように形成され、第1の熔融温度よりも低い第2の熔融温度を有する第2の導体からなる第2の突起電極とを具備するようにしてもよい。

【0019】前記第1の電極と前記第2の電極の接合面は、前記第1の導体金属の真性層と前記第2の導体金属の真性層とが接合している部分を有するようにすればよい。また前記第1の電極の前記第2の面は、第1の領域と、この第1の領域を取り囲む第2の領域とを有し、前記第2の電極は前記第1の領域に形成するようにしてもよい。前記第1の領域と前記第2の領域とはドーナツ状（同心円状）に形成するようにしてもよい。

【0020】また、前記第1の電極の前記第2の面の前記第1の領域は、前記第1の導体金属の真性層と前記第2の導体金属の真性層とが接合している部分を有するようにすればよい。

【0021】また、前記第1の電極の前記第2の面の前記第2の領域は、前記第1の電極の構成金属の酸化物に覆われていてもよい。

【0022】また、前記第2の電極は半球形状を有するようにしてもよい。このような半球形状は、例えば第2の電極を第1の電極上に配設した後、第2の電極のみが溶融するような温度でリフローさせることにより形成することができる。この第2の金属の一時溶融を還元性雰囲気で行うことにより第1の電極と第2の電極とを相互に十分に濡れさせ、低抵抗な接合を行うことができる。

【0023】第1の導体金属、第2の導体金属は例えば融点の異なる金属、合金等から構成するようにすればよい。前記第1の電極は、例えばPb、Sn、Ag、Bi、Cuからなる金属のうち少なくとも1種を含むようにしてもよい。また前記第2の電極はPb、Sn、In、Sbからなる金属のうち少なくとも1種を含むようにしてもよい。

【0024】本発明の電子部品は上述のような電極を接続電極上に備えた電子部品である。本発明の電子部品は、接続電極と、前記接続電極上に配設され、第1の面と第2の面とを有し、第1の熔融温度を有する第1の導体金属からなる第1の電極と、前記第1の電極の前記第2の面上に、その表面積が前記第2の面の面積の約 $1/2$ より小さくなるように形成され、第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなる第2の電極とを具備したことを特徴とする。電子部品としては例えば半導体素子などをあげることができるが、半導体素子に限らず各種能動素子、受動素子など接続端子を有する電子部品であれば適用することができる。また電子部品側ではなく、配線基板上に上述のような本発明の電極を配設するようにしてもよい。

【0025】本発明の電子装置は、第1の面に第1の接続端子が形成された電子部品と、前記電子部品の第1の面と対向配置され、前記第1の接続端子と対応する位置に第2の接続端子が形成された配線基板と、前記電子部品の第1の接続端子上に形成された第1の熔融温度を有する第1の導体金属からなる第1の電極と、前記第1の電極と前記第2の接続端子とを接合するように形成された第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなる第2の電極とを具備し、前記第1の電極と前記第2の電極との接合界面の約 $1/2$ 以上および前記第1の接続端子と前記第2の電極の接合界面の約 $1/2$ 以上には、前記第2の導体金属の真性層が露出していることを特徴とする。また、本発明の電子装置は、第1の面に第1の接続端子が形成された電子部品と、前記電子部品の第1の面と所定の間隔を保持して対向配置され、前記第1の接続端子と対応する位置に第2の接続端子が形成された配線基板と、前記電子部品の第1の接続端子上に形成された第1の熔融温度を有する第1の電極と、前記第1の電極と前記第2の接続端子とを接合するように形成された第1の熔融温度よりも低い第2の熔融温度を有する第2の導体層とを具備し、前記第1の電極と前記第2の導体層との接合面の約 $1/2$ 以上および前記第1の接続端子と前記第2の導体層の接合面の約 $1/2$ 以上には、前記第2の導体層の真性面を露出させるようにしてもよい。

【0026】すなわち本発明の電子装置は、前述のような本発明の電極を用いて例えば半導体素子などのような電子部品を配線基板上に配設したものである。ここで配線基板は、いわゆるマザーボードと呼ばれる大型のものに限ることなく、マルチチップモジュールの配線基板や、半導体素子とほぼ同じサイズのCSPの配線基板も含んでいる。

【0027】また、前記第1の電極と前記第2の電極との接合界面は第1の領域と、この第1の領域を取り囲む第2の領域とを有し、前記第2の領域は前記第1の導体金属の酸化物で覆われていてもよい。

【0028】また、前記第1の電極と前記第2の電極との接合界面は、第1の領域と、この第1の領域を取り囲む第2の領域とを有し、前記第1の領域では前記第1の導体金属の真性層と、前記第2の導体金属の真性層とが接合するようにすればよい。また前記第2の電極と前記第1の接続端子との接合界面には、前記第2の導体金属と、前記第2の導体金属の酸化物とがモザイク状に分布しているようにしてもよい。このようなモザイク状の分布は、第2の電極が熔融するような温度で第1の電極と電子部品の第1の接続端子とを接合する際に形成される。本発明の電極構造では、第2の電極の表面積は、第1の電極の第2の面の面積の半分よりも小さいために、接合時には必ず第2の電極の構成金属の真性層と電子部品の第1の接続電極とが接合することができる。

【0029】前述のように、前記第1の電極はPb、Sn、Ag、Bi、Cuからなる金属のうち少なくとも1種を含むようにしてもよい。また前記第2の電極はPb、Sn、In、Sbからなる金属のうち少なくとも1種を含むようにしてもよい。

【0030】本発明の電子部品の実装方法は、前述のような本発明の電極を用いて、電子部品の電極と配線基板の電極とを接続する方法である。すなわち本発明の電子部品の実装方法は、(a)電子部品の第1の面に形成された第1の接続端子上に、第1の熔融温度を有する第1の導体金属からなり、先端部が第1の平面と略平行な第2の面を有する第1の電極を形成する工程と、(b)前記第1の電極の前記第2の面上に、前記第1の熔融温度よりも低い第2の熔融温度を有する第2の導体金属からなり、その表面積が前記第2の面の面積の半分よりも小さい第2の電極を形成する工程と、(c)前記第1の電極の前記第2の面と、配線基板の第1の面の前記電子部品の第1の接続端子と対応する位置に配設された第2の接続端子とが、前記第2の電極を介して対向するように、前記電子部品の第1の面と前記配線基板の第1の面とを対向する工程と、(d)前記第1の電極および前記第2の接続端子との接合面に前記第2の導体金属の真性層が露出するように、前記第2の熔融温度よりも高く第1の熔融温度よりも低い温度で前記第1の電極および前記第2の電極を加熱しながら前記第2の電極を押圧する工程とを有することを特徴とする。

【0031】また本発明の電子部品の実装方法は、電子部品の第1の面に形成された第1の接続端子上に、第1の熔融温度を有する第1の導体からなり、先端部が第1の平面と略平行な接合面を有する第1の電極を形成する工程と、前記第1の電極の接合面上に、前記第1の熔融温度よりも低い第2の熔融温度を有する第2の導体からなり、その表面積が前記接合面の面積の半分よりも小さい第2の電極を形成する工程と、配線基板の第1の面の前記電子部品の第1の電極と対応する位置に第2の接続端子を形成する工程と、前記第1の電極の接合面と前記第

2の接続端子とが前記第2の電極を介して対向するように、前記電子部品の第1の面と前記配線基板の第1の面とを配置し、前記第1の電極および前記第2の接続端子との接合面に前記第2の電極の真性面が露出するように、前記第2の熔融温度よりも高く第1の熔融温度よりも低い温度で前記第1の電極および前記第2の電極を加熱しながら前記電子部品の第2の面を加圧する工程とを有するようにしてもよい。

【0032】また(c)の工程と(d)の工程との間に、前記第1の電極の熔融温度よりも低く、前記第2の電極の熔融温度よりも高い温度で前記第2の導体金属をリフローするリフロー工程をさらに有するようにしてもよい。また前記リフロー工程は、還元性雰囲気で行うようにしてもよい。このようなリフローにより、第2の金属が還元性雰囲気で一時的に熔融して、第1の電極と第2の電極とを相互に十分に濡れさせ、低抵抗な接合を形成することができる。

【0033】本発明の電極を形成する対象としては各種電子部品がある。電子部品としては例えば半導体素子、弾性表面波素子などの機能性素子や、各種受動素子に形成するようにしてもよい。さらに本発明の電極を配線基板や、マルチチップモジュール、CSP(Chip Size Package)に用いるようにしてもよい。

すなわち本発明の電極は、電子部品等の接続端子と接合した第1の電極と、第1の電極上に形成された第2の電極とからなり、第1の電極の熔融温度が第2の電極の熔融温度より高く、かつ第1の電極の接合面の表面積が第2の電極の表面積の約1/2以下であるようなものである。

【0034】また、本発明の電子装置は、本発明の電極を用いて配線基板上に電子部品を実装したものである。

【0035】また本発明の電子部品の実装方法は、本発明の電極により電子部品を配線基板上に実装する方法である。

【0036】すなわち本発明は、電子部品に形成する半田バンプなどの電極を、第1の電極と第2の電極とからなる2段構造として、第1の電極の熔融温度が第2の電極の熔融温度より高く、第1の電極の接合面(第2の面)の表面積が第2の電極の表面積の2倍以上になるように構成したものである。このような電極構造を有する電子部品を例えば配線基板上に実装する場合、第1の電極と配線基板の接続パッドとを第2の電極を介して対向配置し、第1の電極の熔融温度よりも低い温度で第2の電極を熔融させることにより、第2の電極は表面の酸化被膜を破りながら塑性変形して第1の電極と接続パッドとを接合する。このとき、第2の電極の表面積を第1の電極の接合面の面積の半分以下に設定しておくことにより、第2の電極を構成する第2の導体層の真性面が、第1の電極との接合面および接続パッドとの接合面に十分に露出する。したがって、第1の電極と接続パッドとの

間には、第2の電極の酸化被膜に遮られることなく電子が移動することのできる経路が形成されるのである。

【0037】すなわち本発明においては、第2の電極を熔融させる温度では第1の電極は熔融しておらず第2の電極のみ熔融していることから、電子部品に僅かな加圧力を加える。このとき第2の電極は、第1の電極と配線基板上の接続パッドに挟まれる形で押し広げられて、第2の電極の表面酸化膜が破れて内部から真性面が露出する。第1の電極の表面積が第2の電極の表面積の2倍以上であることから、第2の電極は十分に押し広げられて、露出する真性面の表面積が第1の電極の接合面の面積の50%以上となり、配線基板上の接続パッドとの間に十分な接触面積が確保されることにより、フラックスを用いなくとも十分な接合を得ることができる。

【0038】さらに本発明によれば、超音波を印加する必要がないことと加圧力が小さいことから、電子部品が破損することがなく、電子部品の能動素子部分上に突起電極を形成することも可能である。また、半田付けなどの接合工程で第1の電極は熔融してないため、第1の電極が潰れて隣接する第1の電極同士が電氣的に短絡することもない。とくに半導体素子などのように多数の端子を接続する必要がある場合には、このような電氣的短絡を防止することにより大きく生産性が向上する。

【0039】第1の電極を構成する第1の導体金属は、第2の電極を構成する第2の導体金属よりも熔融温度が高いものであればよい。例えば第1の電極をPb:Sn比が重量比で95:5の半田合金により形成した場合、その熔融温度は約314℃であるから、第2の電極はこれよりも低い温度を有する導体、例えばPb:Sn比が重量比で40:60の半田合金（熔融温度：約189℃）により形成するようにしてもよい。第1の電極および第2の電極を構成する第1の導体、第2の導体としては鉛を含まない合金を用いるようにしてもよいし、また例えばInのような低融点金属を単体で用いるようにしてもよい。

【0040】また本発明の電子装置は、凹凸を有する第1の面を有する第1の接続電極が配設された配線基板と、配線基板と対向する第1の面に第2の接続電極が配設された電子部品と、前記第1の接続電極と前記第2の接続電極との間に挟持された半田バンプとを具備したことを特徴とする。また例えば、配線基板と、この配線基板上に形成された第1の接続電極と、この第1の接続電極上に形成された半田からなるバンプ電極と、このバンプ電極に第2の電極を介して接続された半導体素子とを具備し、前記第1の電極と第2の電極のうち少なくとも一方の電極の前記バンプ電極と接している面に、変位が1ミクロン以上の凹凸を複数個形成するようにしてもよい。

【0041】前記第1の接続電極の前記第1の面の前記凹凸は、鋭利な角（エッジ）を有するようにすることが

好ましい。このようなエッジにより、半田バンプの表面の酸化層が破られ、バルクの真性層との間に信頼性の高い接続を形成することができる。例えばこのような電子装置は以下のように形成される。まず半田バンプを形成した半導体素子に弱い加重をかけて、半田バンプを複数の凹凸を有する電極に押し当てる。このとき第1の接続電極の凹凸形状の角部によつて、半田バンプが変形しその表面の酸化被膜が破れる。この状態で半田をリフローして第1の接続電極と接続する。このような構成を採用することによつてもフラックスを用いることなく電子部品の実装を行うことができる。

【0042】また前記第1の接続電極の前記第1の面の前記凹凸は、その変位が約1μmより大きくなるようにすることが好適である。これは、凹凸の段差が約1μmより小さい場合、半田バンプの表面の酸化層を十分に破れない場合があるからである。さらに前記第1の接続電極の前記第1の面の前記凹凸は、その凹部の底部の少なくとも一部領域に酸素吸収部材を配設するようにしてもよい。このような酸素吸収部材を配設することにより、半田バンプの酸化被膜の酸素を吸収し、酸化被膜を効果的に除去することができる。

【0043】酸素吸収部材としては例えばTiなどの酸素を吸収する金属を用いるようにしてもよい。Tiにより半田の表面酸化膜中の酸素がTiにゲッターリングされて結合し、酸化被膜を効果的に除去することができる。さらに、Ti層の表面を例えばArのプラズマなどによりエッチング処理するようにすれば、より一層酸素吸収能を向上することができる。したがって、接続電極と半田バンプとの接続信頼性を向上することができる。

【0044】

【発明の実施の形態】

（実施形態1）図1、図2は本発明の電極を概略的に示す斜視図である。図2（a）はこの電極の断面構造を概略的に示しており、図2（b）では第1の突起の第1の面の構成を模式的に示している。ここでは例として、主としてシリコンからなる半導体チップ上に電極を形成した例について示した。

【0045】半導体チップ11のターミナル上に形成された半田拡散防止電極（第1の接続端子）12上にPb:Snが95wt%:5wt%の第1の半田合金からなる第1の突起（第1の電極）15が形成されている。図2（b）に例示したとおり、第1の突起15の接合面（第2の面）15aは、中心部の第1の領域15mと、その周囲の第2の領域15nとを有している。そして第1の突起15の第1の領域15mにPb:Snが40wt%:60wt%の第2の突起（第2の電極）16が形成されている。したがって第1の突起の熔融温度は熔融温度は約314℃であり、第2の突起の熔融温度は約189℃である。また第1の突起15は、直径が約100μmで高さが約60μmの円筒状であり、第2の突

起16は直径が約 $40\mu\text{m}$ ~約 $43\mu\text{m}$ 、高さが約 $22\mu\text{m}$ ~約 $25\mu\text{m}$ の半球状である。

【0046】さらに、第1の突起の頭部の接合面の面積は約 $7700\mu\text{m}^2$ から約 $8000\mu\text{m}^2$ であり、第2の突起電極の表面積は約 $3100\mu\text{m}^2$ から約 $3500\mu\text{m}^2$ である。第2の突起16の露出した表面である第2の領域は酸化被膜で覆われているが、第1の突起15と第2の突起16は、第1の領域で酸化層を介さずに真性層同士が接合している。

【0047】半導体素子のチップサイズは約 4.3mm ×約 4.1mm であり、四辺にそって約 $250\mu\text{m}$ のピッチで一行に64個の突起が形成されている。

【0048】また半田拡散防止電極12はチタン/ニッケル/金が厚さ $0.10\mu\text{m}/1.00\mu\text{m}/0.10\mu\text{m}$ で順次積層されたものである。

【0049】このような構造を有する本発明の電極は、第1の突起15が溶融せずに第2の突起16のみが溶融するような温度で接続先の電極（例えば配線基板の接続電極）と接合することにより、半導体チップ11背面

（第2の面）に僅かな加圧力を加えるだけで、第2の突起16は、第1の突起15と接続先の電極との間に挟まれる形で押し広げられて、第2の突起16の表面酸化膜が破れて内部から真性層が露出する。本発明の電極構造では、第1の突起15の表面積が第2の突起16の表面積の2倍以上であることから、第2の突起16は十分に押し広げられて、露出する真性層の表面積が第1の突起15の接合面の面積の50%以上となり、接続する電極との間に十分な接触面積を確保することができる。したがってフラックスを用いなくとも十分に低抵抗な、信頼性の高い接合を得ることができる。また、超音波などを半導体素子に印加する必要がないため、半導体素子が破損する恐れもなく、生産性を向上することができる。

【0050】（実施形態2）次に、本発明の電極を電子部品上に形成する方法の例について説明する。図3は本発明の電極の製造方法を説明するための図である。ここでは図1に例示したように、半導体チップ11上に本発明の電極を形成する場合を例にとって説明する。

【0051】1主面に半田拡散防止電極12を形成したシリコンからなる半導体チップ11上に、開口部21を有する第1のレジスト13を形成する（図3（a））。第1のレジスト13の開口部21は、半導体チップ11の有する接続ターミナル上に形成されている。また半田拡散防止電極12はチタン/ニッケル/金が厚さ $0.10\mu\text{m}/1.00\mu\text{m}/0.10\mu\text{m}$ で順次積層されたものである。第1のレジスト13はポジ型感光性レジストを露光・現像工程により形成したものであり、レジスト厚さは約 $60\mu\text{m}$ 、開口部21は直径約 $100\mu\text{m}$ の円筒状である。

【0052】つぎに、錫イオンと鉛イオンとを含む電解メッキ浴中で、半田拡散防止電極1を陰極として通電す

ることにより錫/鉛（5%/95%重量比）からなる高さ約 $60\mu\text{m}$ の第1の突起15を形成する（図3（b））。

【0053】ついで、第1の突起15の上側に、開口部22を有する第2のレジスト14を形成する工程を示す（図3（c））。第2のレジスト14は第1のレジスト13と同一材料を用いており、厚さが約 $20\mu\text{m}$ 、開口部22は直径 $40\mu\text{m}$ の円筒状である。

【0054】そして、錫イオンと鉛イオンとを含む電解メッキ浴中で、半田拡散防止電極12を陰極として通電することにより錫/鉛（60%/40%重量比）からなる高さ $20\mu\text{m}$ の第2の突起16を形成する（図3（d））。

【0055】その後、は第1のレジスト13と第2のレジスト14を剥離し、第1の突起15をマスクとして半田拡散防止電極12をエッチング液を用いてエッチング除去する（図3（e））。

【0056】さらに第1の突起15の溶融温度以下かつ第2の突起16の溶融温度以上の温度で第2の突起のみをリフローする（図3（f））。リフロー温度は 220°C から 240°C であり、リフロー雰囲気は水素100%または水素と窒素の混合比が1:4からなる還元雰囲気である。この温度では水素の還元反応は遅いため、第1の突起15の表面酸化膜を完全に還元することではなく、第1の突起15と第2の突起16の界面は十分に濡れるとともに、第2の突起16は第1の突起15の頭部全体と濡れることはない（図2（b）参照）。

【0057】このような工程によって、本発明の電極を形成することができる。

【0058】（実施形態3）本発明の電極を電子部品上に形成する方法の別の例について説明する。図4は本発明の電極の製造方法の別の例を説明するための図である。ここでは図1、図2に例示したように、半導体チップ11上に本発明の電極を形成する場合を例にとって説明する。

【0059】図4（a）はシリコンからなる半導体チップ11上に形成された第1の突起15と離型性を有する転写用基板25上に形成された第2の突起16とを対向させて位置合わせする工程を示す。第1の突起15は錫/鉛（5%/95%重量比）からなり、直径が $100\mu\text{m}$ 高さは $60\mu\text{m}$ の円柱状であり、実施形態2と同様に、チタン/ニッケル/金（ $0.10\mu\text{m}/1.00\mu\text{m}/0.10\mu\text{m}$ ）が順次積層された半田拡散防止電極12を介してメッキ法を用いて形成したものである。ここで用いた転写用基板25は石英ガラスからなり、その表面をチタン/銅/チタン/インジウム錫酸化物が厚さ $0.10\mu\text{m}/1.00\mu\text{m}/0.10\mu\text{m}/0.10\mu\text{m}$ で順次積層されたメッキ通電用電極26で被覆されている。また第2の突起16は錫/鉛（60%/40%重量比）からなる直径 $40\mu\text{m}$ 高さ $20\mu\text{m}$ の円柱状で

あり、実施形態2と同様にメッキ法を用いて形成されている。

【0060】そして、このように形成した第1の突起15および第2の突起16を対向配置し、加熱及び加圧により接合する(図4(b))。接合条件は加圧力が突起1個あたり約3gf~10gf程度、温度が約140℃~170℃程度である。このとき、図4(a)の位置合わせ工程の直前に半導体チップ11をアルゴンプラズマ中に約30秒から4分程度放置することにより第1の突起15の表面の酸化膜を除去することにより、接合状態がより良好になり、また生産性も向上する。

【0061】ついで、転写用基板25を取り去ることにより、第2の突起16を第1の突起15上に転写する(図4(c))。転写用基板25上のメッキ通電用電極26の表面のインジウム錫酸化物は、第2の突起16を構成する半田と合金化しないので、第2の突起16を容易に剥離させることができ、高い転写歩留まりが得られる。

【0062】この後、第1の突起15の熔融温度以下かつ第2の突起16の熔融温度以上の温度で、第2の突起16のみを選択的にリフローする(図4(d))。リフローの条件は実施形態2と同様の条件を用いた。

【0063】(実施形態4) つぎに、上述のように半導体チップなどの電子部品上に形成した本発明の電極を用いて、電子部品を基板上に実装する方法について説明する。図5は本発明の電極を形成した電子部品を配線基板上に半田付けにより実装する様子を説明するための図である。ここでは電子部品としてベアチップ状態の半導体チップ11を用い、この半導体チップ11の接続ターミナル上に上述したような第1の突起15と第2の突起16とを有する本発明の電極を形成し、この半導体チップ11を接続電極29を形成した配線基板28上に実装する例について説明する。

【0064】半導体チップ11の接続端子上に上述したような半田拡散防止電極12、第1の突起15および第2の突起16とを形成した半導体チップ11と、接続電極29を形成した配線基板28とを、第2の突起16と接続電極29とが対向するように、加熱ヘッド31を用いて位置合わせする(図5(a))。半導体チップ11は主としてシリコンからなり、寸法が4.3mm×4.1mmであり、その四辺に沿って約250μmのピッチで一列に64個の突起が形成されている。第2の突起16の表面は主にSnO₂からなる半田酸化膜で覆われている。配線基板28はガラスエポキシからなるが、BTレジン・ポリフェニルエチレン・アルミナ・窒化アルミニウムなどを絶縁層として用いるようにしてもよい。また、接続電極29は銅/ニッケル/金が積層されたものである。

【0065】図5(b)は半導体チップ11と配線基板28を、突起あたり約1gfから2gf程度の力で加圧

しながら加熱ヘッドを用いて加熱することにより、第1の突起15と配線基板上の接続電極29とを第2の突起16により接合する様子を示している。第2の突起16周囲の温度が220℃から240℃となるように加熱することにより、第1の突起15は熔融せず、第2の突起16のみが熔融する。したがって、約1gfから2gf程度の極めて微弱な力で第2の突起16のみが変形し、内部の熔融半田(バルク層の真性層)が第2の突起16の半田酸化膜16bを破って流れ出し、第2の突起16を構成する第2の導体である熔融半田の真性層16a接続電極29とが接触して合金化する。したがって、配線基板18上の接続電極29と第1の突起15とが、第2の突起16を構成する第2の導体層32により接合する。

【0066】図5(c)は加熱ヘッドを除去して接続工程を終了した電子装置を示す。以上の工程により、半導体チップ11と配線基板28上の接続電極29がフラックスを用いることなく半田付けされる。このような接続によれば、第2の導体層32と第1の突起15との接合界面のうち、第2の突起16と第1の突起15との接合界面であった部分には酸化被膜16bは存在しない。また、第2の導体層32と接続電極29との接合界面にも、第2の突起16の表面積を接合面の面積よりも小さくすることにより、酸化被膜16bに覆われていない領域を多く形成することができる。図6は、第1の突起15と第2の導体層32との接合界面を模式的に示す図であり、図7は第2の導体層32と接続電極29との接合界面を模式的に示す図である。本発明のように第2の突起16の表面積を第1の突起15の接合面の面積の約半分以下に設定することにより、第2の突起16が接合すべき接合面の面積よりも、第2の突起16の表面に形成される酸化被膜16bの面積を小さくなる。したがって、第1の突起15と接続電極29との間に良好な電子の移動経路を確保することができる。したがって、接続信頼性が向上するとともに、生産性も向上することができる。

【0067】なお、配線基板28の接続電極19の表面に微小な凹凸を形成しておくことにより、接続の信頼性、生産性をさらに向上することができる。図8は本発明の電極を形成した電子部品を配線基板上に半田付けにより実装する別の例を説明するための図である。ここでは配線基板28上に、表面に微小な凹凸を有する接続電極29bを配設している。ここでは、段差が約5μmの凹凸を形成した。また凹凸は鋭いエッジを有するように形成した。

【0068】そして半導体チップ11の接続端子上に上述したような半田拡散防止電極12、第1の突起15および第2の突起16とを形成した半導体チップ11と、接続電極29bを形成した配線基板28とを、第2の突起16と接続電極29bとが対向するように、加熱ヘッ

ド31を用いて位置合わせする。このあと図5(a)～図5(c)で説明したように、第2の突起16を熔融させて第1の突起15と接続電極29bとを接続する。

【0069】このような接続電極29bを用いるようにすれば、凹凸のエッジにより第2の突起16の表面の酸化層16bを破ることができる。このため第1の突起15と接続電極29bとの真性層どうしがより効果的に接合することができる。さらに、凹凸により接続電極29bの接合面の面積が増大するので、第2の突起16の真性層16aが接続電極29bへ露出する割合が大きくなる。したがってより低抵抗で信頼性の高い接続を行うことができる。

【0070】(実施形態5) このように、第2の突起16が熔融して内部の真性層が接続電極29と接触することにより接合がなされる。第2の突起16表面の半田酸化膜の面積が、第1の突起15の頭部の接合面の面積に比べて小さいほど、第2の突起16を構成する導体の真性層と接続電極29との接触面積が大きくなるため、第2の突起16の表面積が小さいほど半田付け歩留りが向上する。

【0071】このことを確認するため、第2の突起16の表面積と接合歩留りとの関係を評価するための実験を行った結果について以下に説明する。

表1：第2の突起電極表面積と半田接続強度および接続不良率との関係

S1/S2	0.9	1.4	2.6
第2の突起電極高さ	16 μm	36 μm	23 μm
第2の突起電極直径	100 μm	50 μm	42 μm
半田剪断接続強度	11 MPa	45 MPa	52 MPa
半田接続不良率	41%	16%	0%

表1および図10からわかるように、第2の突起16の表面積が小さいほど接続強度が大きくなり、半田付け不良率が減少することがわかる。また第1の突起15の頭部の接合面の面積が第2の突起16の表面積の2.6倍になったときに半田付け不良率がなくなる(0%)ことがわかる。

【0076】(実施形態6) 図11は、本発明に係る電子装置が備える電極の構造を概略的に示す図であり、図

【0072】図9は第1の突起の先端部の接合面の表面積と第2の突起の表面積との割合を変化させて形成した電極試料を説明するための図である。図9に示すように、第1の突起15の先端部の接合面の表面積と、第2の突起の表面積との割合を変化させて評価用の電極試料を作成した。なお第1の突起15の接合面の面積 S_1 は第1の突起15の第1の面15a全面の面積である。

【0073】図9(a)の電極では第1の突起15の接合面の面積 S_1 が第2の突起16の表面積 S_2 の0.9倍であり、図9(b)の電極では第1の突起15の接合面の面積 S_1 が第2の突起16の表面積 S_2 の1.4倍であり、また本発明の電極(図9(c))では第1の突起15の接合面の面積 S_1 が第2の突起16の表面積 S_2 の2.6倍である。

【0074】そして、実施形態4と同様の接続方法を用いて配線基板上に接続し、電極試料の半田付け強度と半田付け不良率を比較した。半田付け部分の強度試験を行った場合、接続部が完全に合金化している場合には破断は半田層の内部で発生する。表1にその結果を示す。また図10はその結果を示すグラフである。

【0075】

【表1】

12はその断面構造の例を概略的に示す図である。配線基板101上に複数の凹凸を有する電極102が形成されている。配線基板101は、例えば絶縁層にプリプレグを用いた配線基板や、絶縁層にセラミックを用いたセラミック基板、さらにフレキシブル基板を用いることができる。電極102の材料としては銅が一般的であるが、ニッケルや金もしくはそれらを多層化した構造でもよい。また凹凸の凹部103aの深さ(凹部103aと

凸部103bとの段差)は、約 $1\mu\text{m}$ 以上あれば、半田バンプ106の表面の酸化膜106bを十分に破り真性層106aを露出させることができる。

【0077】図13は本発明の電子装置の電極構造の例を概略的に示す図である。ここでは半導体素子105の接続端子108上に形成された半田バンプ106を、配線基板101上の電極102と接続している。

【0078】半田バンプ106と電極102とを対向し(図9参照)、半田バンプ106と電極102との間に加重をかけると、図中107で囲って示した凹凸のエッジ103eの部分が半田バンプに食い込み、半田バンプ106の表面の酸化被膜106bが破れる。この食い込み変形は、半田材料の降伏応力が銅よりも小さいためおこる。たとえばPb-Sn系の共晶半田は銅よりも降伏応力が約1桁も小さく容易に変形させることができる。

【0079】この後半田バンプ106をリフローさせることにより、電極102と半田バンプ106とをより強固に接合させることができる。

【0080】図14は本発明の電子装置が備える電極の構造の別の例を概略的に示す図であり、電極102の凹部103aの底部にTi膜104を形成した例である。同一部には同一符号を付してある。

【0081】Ti材料は酸素と結合しやすく、加重で変形させた半田バンプ106の酸化膜106bの酸素を吸収し、接合面に残る酸化膜106bを低減するという効果が得られる。このような酸素吸収剤を配設することにより生産性、信頼性の向上を図ることができる。

【0082】(実施形態7)次に、この電極102に凹凸を形成する方法の例について説明する。

【0083】まず、配線基板101上にあらかじめ接着されている銅箔を、フェースダウン実装が可能な電極102の寸法にフォトリソグラフィ技術によりパターンニングする。このパターンニングは配線層のパターンニングと同時に行うようにすればよい。次にこのパターンニングされた電極102上にレジストを形成し、露光・現像によって凸部を形成したい部分にレジストパターンを残す。

【0084】次にこのレジストをマスクとしてエッチングを行うことにより凹部103aを形成する。このとき凹部103aと凸部103bと段差は、エッチングレ

ートを管理することにより、自由に設定することができる。

【0085】なお、Ti膜104などの酸素吸収層を凹部103aの底部に形成する場合は、スパッタ法などの真空成膜プロセスにより、Ti膜104を凹凸が形成された電極102上全面に形成し、フォトリソグラフィによりパターンニングしてTi薄膜を凹部底面に残すようにすればよい。またリフトオフ法により凸部103b上のTi膜104を除去するにしてもよい。

【0086】また凹凸の形成方法としては以下に挙げる方法がある。まず配線基板としてセラミックなどの無機基板101を用意し、この基板101上に電極102を形成する領域が開口するようにレジストを形成する。次に電気めっきによって所望厚さの電極102を形成する。次に電極102上の凸部が形成される部分が開口するようにレジストを形成する。さらに電気めっきによって所望の高さの凸部を形成する。このような方法によっても複数の凹凸が形成された電極102を形成することができる。

【0087】(実施形態8)発明者らは、電極102の凹部103aの深さ(凹凸の変位)を $0.1\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $5.0\mu\text{m}$ 、 $10.0\mu\text{m}$ にした場合、酸化膜106bを十分に破って良好に接合したかどうかを測定した。その実験結果を表2に示す。

【0088】実験では、配線基板101上の銅箔(厚さ $35\mu\text{m}$)をエッチングすることで $150\mu\text{m}\times 150\mu\text{m}$ の電極102を形成し、その後フォトリソグラフィ法によって、電極102の表面に凹凸を形成した。このとき凸部103b、凹部103aとも $50\mu\text{m}\times 50\mu\text{m}$ になるようにパターンニングした。半導体素子105の接続端子108上には、半田バンプ106をめっきにより作成した。

【0089】そして半田バンプ106に1個あたり10gの加重をかけ、約 120°C で仮付けしたあと、約 250°C でリフローした。ここでは半田材料としてPb-Sn系の共晶半田を用いた。

【0090】

【表2】

凹部深さ (μm)	接合実験結果
0.1	×
0.5	×
1.0	○
5.0	○
10.0	○

そして、上述のように配線基板101に実装した半導体素子5を、剥離強度を測定するシェアテスターで剥離し、半田バンプ106のどの部分が切断したのかにより接合強度を評価した。合格(○)としたモードは、半田バンプ106で破壊したものである。半田バンプ106と電極102との界面で破壊したものは不合格(×)とした。半田バンプ106と電極102との界面で破壊したものは、十分に酸化膜が破れず接続強度が低いものである。また得られた接合強度は、合格したモードではバンプ1個あたり50g以上であり、不合格モードでは5g以下であった。

【0091】この実験結果から凹部の深さは、約1μm以上あればよいことがわかる。

【0092】なおこの実施形態では、配線基板101側の電極102に凹凸を形成した例を説明したが、半導体素子105側の電極108に凹凸を形成して、配線基板101の電極102上に半田バンプ106を形成して実装するようにしてもよい。

【0093】以上説明したように、接続電極の表面にエッジのするどい複数の凹凸を設けることによって、環境に多大な影響を与えるフラックス洗浄用フロンを使用しないで信頼性の高いフェースダウン実装を行うことができる。またフラックスを用いないため洗浄工程が不要となり、生産性が向上する。さらに、この方法は電極の表面に凹凸を形成するだけなので、従来のような酸化膜除去のためのレーザーや超音波印加装置も不要となる。

【0094】

【発明の効果】以上説明したように、本発明によれば、第1の突起の接合面の面積が第2の突起の表面積の2倍以上であることから、接合時に第2の突起は十分に押し広げられて、露出する真性層の表面積が第1の突起の接合面の面積の50%以上となり、接続する電極との間に十分な接触面積を確保することができる。したがってフラックスを用いなくとも十分な接合を得ることができ

る。フラックスを用いずに接合することによりフラックスの洗浄工程が不要となり、生産性が大幅に向上する。さらにフラックスの洗浄廃液もでないので、洗浄廃液の処理コストをゼロにでき、洗浄廃液による環境汚染の心配もなくすることができる。また、超音波などを半導体チップなどの電子部品に印加する必要がないため、実装する電子部品を破損する恐れもなく、生産性を向上することができる。

【0095】本発明の実装方法および本発明の電子装置によれば、第2の導体層と第1の突起との接合界面のうち、第2の突起と第1の突起との接合界面であった部分には酸化被膜は存在せず、また第2の導体層と接続電極との接合界面にも酸化被膜に覆われていない領域を多く形成することができる。したがって、第1の突起と接続電極との間に良好な電子の移動経路を確保することができ、接続信頼性が向上するとともに、生産性も向上することができる。

【0096】また本発明の電子装置では、接続電極の表面にエッジのするどい複数の凹凸を設けることによって、環境に多大な影響を与えるフラックス洗浄用フロンを使用しないで信頼性の高いフェースダウン実装を行うことができる。またフラックスを用いないため洗浄工程が不要となり、生産性が向上する。さらに、この方法は電極の表面に凹凸を形成するだけなので、従来のような酸化膜除去のためのレーザーや超音波印加装置も不要となる。

【図面の簡単な説明】

【図1】本発明の電極を概略的に示す図。

【図2】本発明の電極を概略的に示す図。

【図3】本発明の電極を製造する方法を説明するための図。

【図4】本発明の電極を製造する別の方法を説明するための図。

【図5】本発明の電極を形成した電子部品を配線基板上

に半田付けにより実装する様子を説明するための図。

【図6】第1の突起と第2の導体層との接合界面を模式的に示す図。

【図7】第2の導体層と接続電極との接合界面を模式的に示す図。

【図8】本発明の電極を形成した電子部品を配線基板上に半田付けにより実装する様子を説明するための図。

【図9】第1の突起の先端部の接合面の表面積と第2の突起の表面積との割合を変化させて形成した電極試料を示す図。

【図10】第1の突起の接合面の面積と第2の突起の表面積の比と、電極試料の半田付け強度および半田付け不良率との関係を示すグラフ。

【図11】本発明の電子装置が備える電極の構造を概略的に示す図。

【図12】図12の電極の断面構造を概略的に示す図。

【図13】本発明の電子装置の電極構造の例を概略的に示す図。

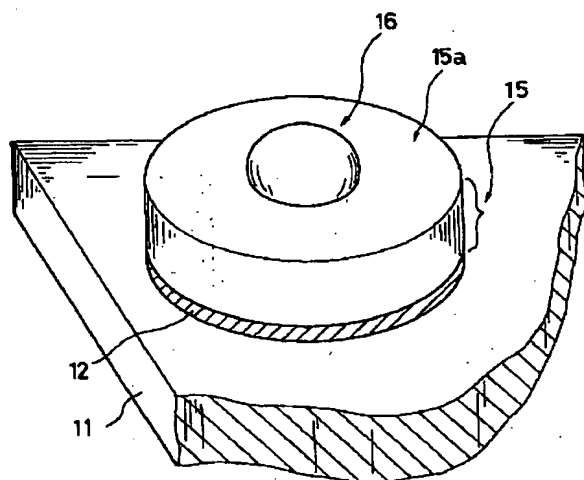
【図14】本発明の電子装置が備える電極の構造の別の例を概略的に示す図。

【符号の説明】

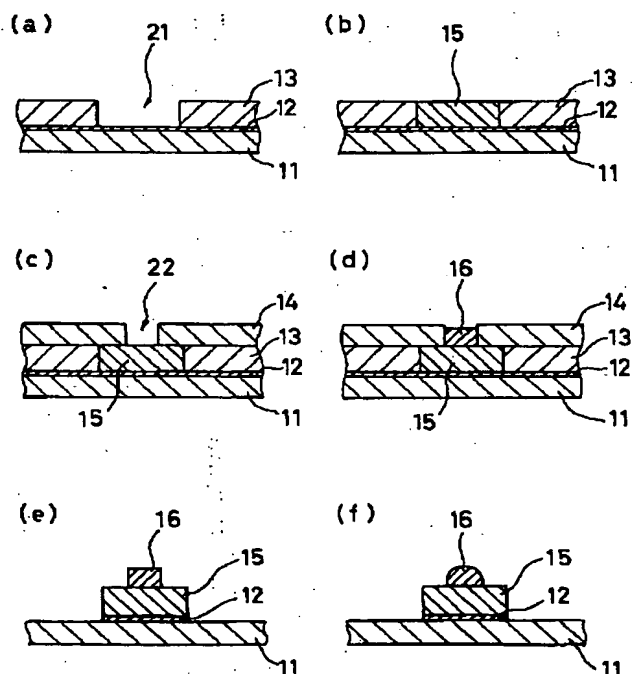
- 11……………電子部品（半導体チップ）
- 12……………半田拡散防止電極
- 13……………第1のレジスト
- 14……………第2のレジスト

- 15……………第1の突起（第1の電極）
- 15a……………接合面（第1の面）
- 16……………第2の突起（第2の電極）
- 16a……………真性層
- 16b……………酸化膜
- 21……………開口部
- 22……………開口部
- 25……………転写用基板
- 26……………メッキ通電電極
- 27……………電子部品（半導体チップ）
- 28……………配線基板
- 29……………接続用電極
- 31……………加熱ヘッド
- 32……………第2の導体層
- 101……………配線基板
- 102……………電極
- 103a……………凹部
- 103b……………凸部
- 103e……………エッジ
- 104……………Ti膜
- 105……………半導体素子
- 106……………半田バンプ
- 106a……………真性層
- 106b……………酸化層
- 108……………接続端子

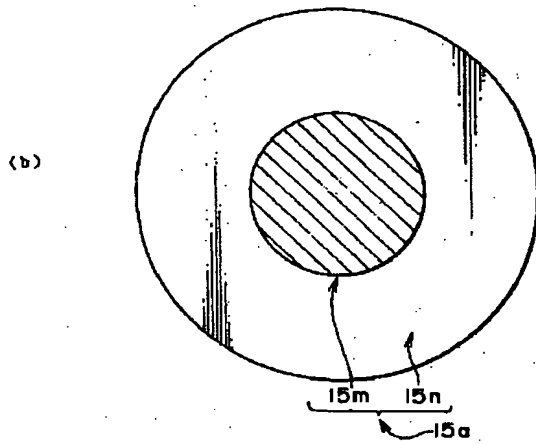
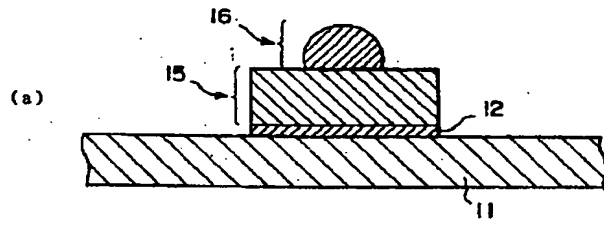
【図1】



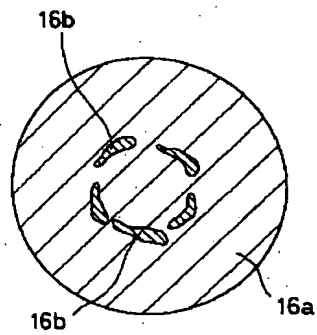
【図3】



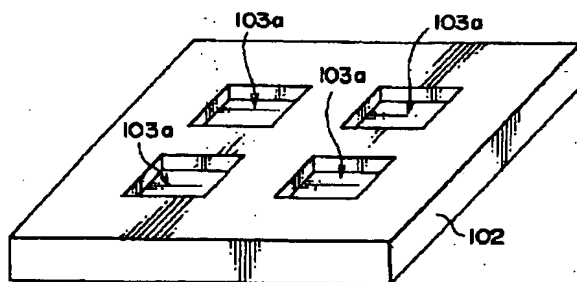
【図2】



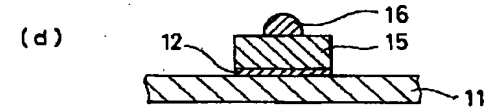
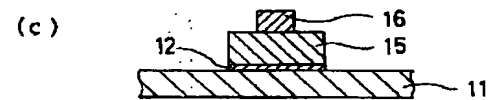
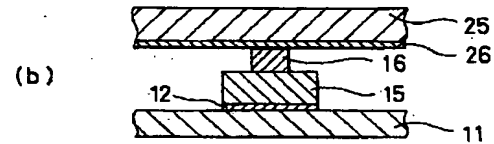
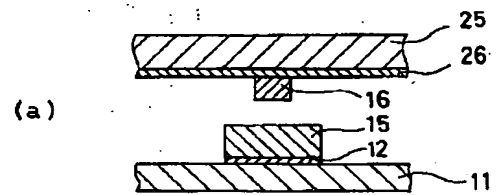
【図6】



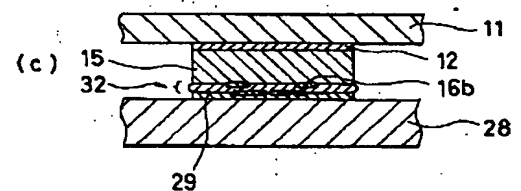
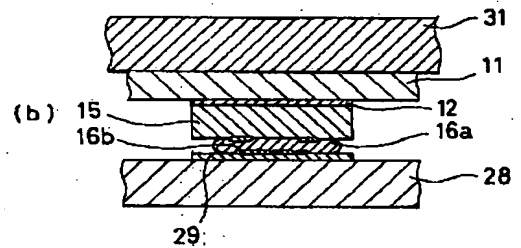
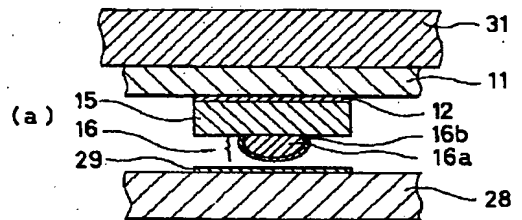
【図11】



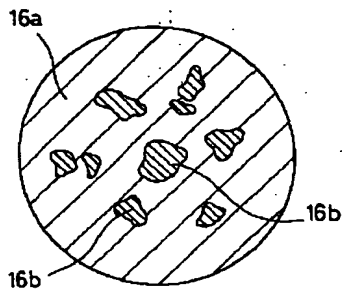
【図4】



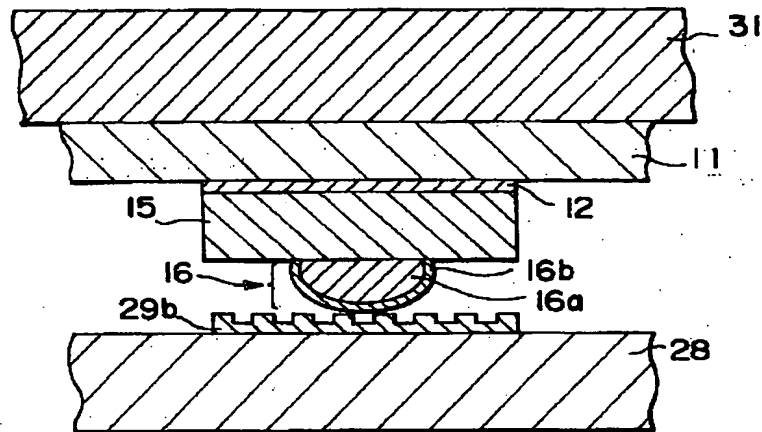
【図5】



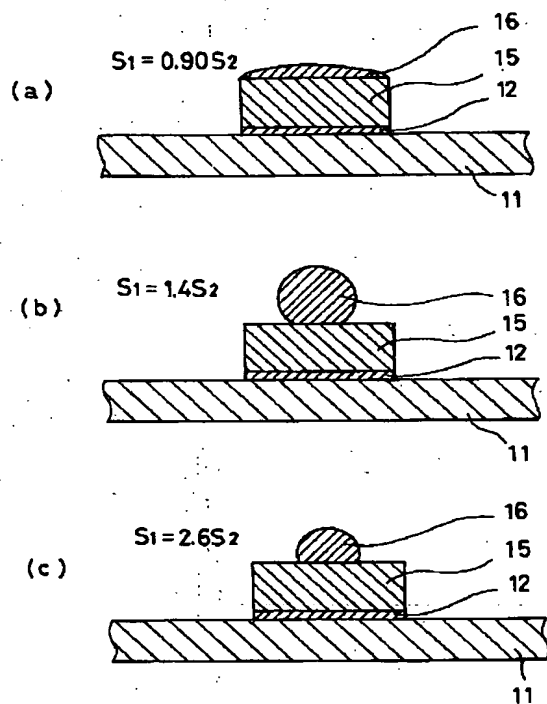
【図7】



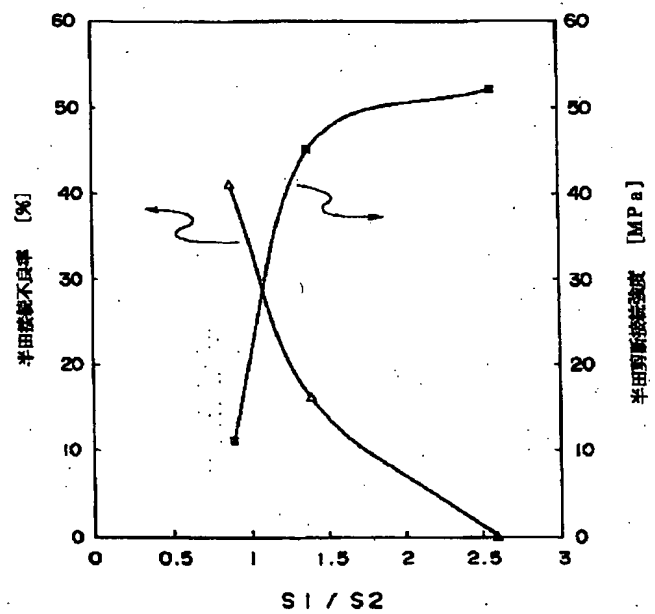
【図8】



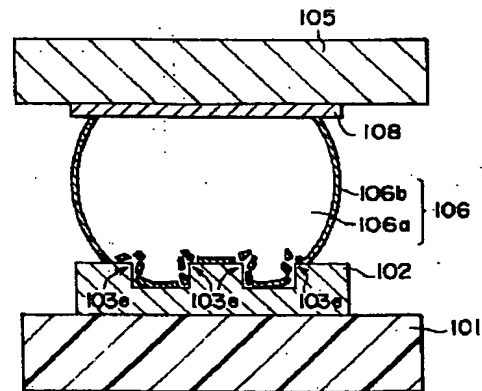
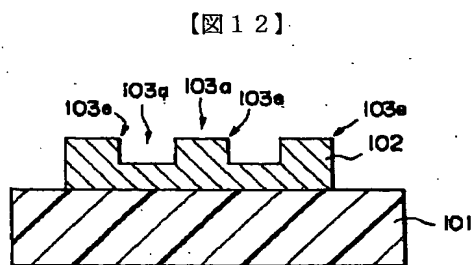
【図9】



【図10】



【図13】



【図14】

